

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info-Ltd. All rts. reserv.

011936812 **Image available**

WPI Acc No: 1998-353722/199831

Related WPI Acc No: 1998-339498

XRAM Acc No: C98-108807

XRPX Acc No: N98-276848

Insulated gate type semiconductor device e.g. TFT, SRAM, DRAM - has barrier layer consisting of specific crystalline metallic element having specific concentration, in which standard deviation of voltage applied to P and/or N channel layer is set to predefined value

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10135468	A	19980522	JP 96301249	A	19961024	199831 B
KR 98032843	A	19980725	KR 9752691	A	19971015	199932

Priority Applications (No Type Date): JP 96301249 A 19961024; JP 96294418 A 19961015

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 10135468	A	25	H01L-029/786	
KR 98032843	A		H01L-029/786	

Abstract (Basic): JP 10135468 A

The device has a barrier layer (106) containing a crystalline silicon film (105), is laminated on a base layer through an insulated surface. A gate insulating film is formed on the barrier layer surface. A gate electrode is formed on the gate insulating film. The barrier layer consists of a crystalline metallic element with a concentration of 1×10^{16} - 5×10^{17} atoms/cm³. The standard deviation value of the barrier voltage in the P and/or N channel layer is within 15-30 mV/dec.

USE - For electro-optical apparatus, switching element in image display device.

ADVANTAGE - Improves operation efficiency. Enables to obtain electro-optical device with high efficiency.

Dwg.1/19

Title Terms: INSULATE; GATE; TYPE; SEMICONDUCTOR; DEVICE; TFT; SRAM; DRAM; BARRIER; LAYER; CONSIST; SPECIFIC; CRYSTAL; METALLIC; ELEMENT; SPECIFIC;CONCENTRATE; STANDARD; DEVIATE; VOLTAGE; APPLY; P; N; CHANNEL; LAYER; SET ; PREDEFINED; VALUE

Derwent Class: L03; U11; U12; U13

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): H01L-021/20; H01L-021/336

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

05852368 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: **10-135468** [JP 10135468 A]

PUBLISHED: May 22, 1998 (19980522)

INVENTOR(s): YAMAZAKI SHUNPEI

OTANI HISASHI

KOYAMA JUN

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 08-301249 [JP 96301249]

FILED: October 24, 1996 (19961024)

INTL CLASS: [6] H01L-029/786; H01L-021/20; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.1 (PRECISION INSTRUMENTS -- Photography & Cinematography); 29.4 (PRECISION INSTRUMENTS -- Business Machines); 42.5 (ELECTRONICS -- Equipment); 44.6 (COMMUNICATION -- Television); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To realize a high performance TFT by providing an active layer containing a metal element for accelerating the crystallization at specified concentration so that the standard deviation of the S-value showing electric characteristics is within specified value in each of an n- and p-channel types.

SOLUTION: After forming an active layer 106, a gate insulation film 107 is formed on this layer 106 and heat-treated (secondly) in a halogen-containing atmosphere. In this step, a segregated metal element e.g. Ni at the grain boundary of an acicular or columnar crystal is gettered by the action of the halogen to reduce Ni in the active layer 106 to 1×10^{16} - 5×10^{17} atoms/cm³. The active layer 106 has a directivity at the grain boundary and crystal structure of aggregated acicular or columnar crystals approximately parallel to a substrate. The standard deviation of the S-value showing electric characteristics can remain within 15mV/dec in an n-type and within 30mV/dec in a p-channel type.

(51)Int.Cl. ⁶	識別記号	F I
H 0 1 L 29/786		H 0 1 L 29/78
21/20		6 1 8 G
21/336		21/20
		29/78
		6 1 6 A
		6 1 6 S

審査請求 未請求 請求項の数22 F D (全 25 頁)

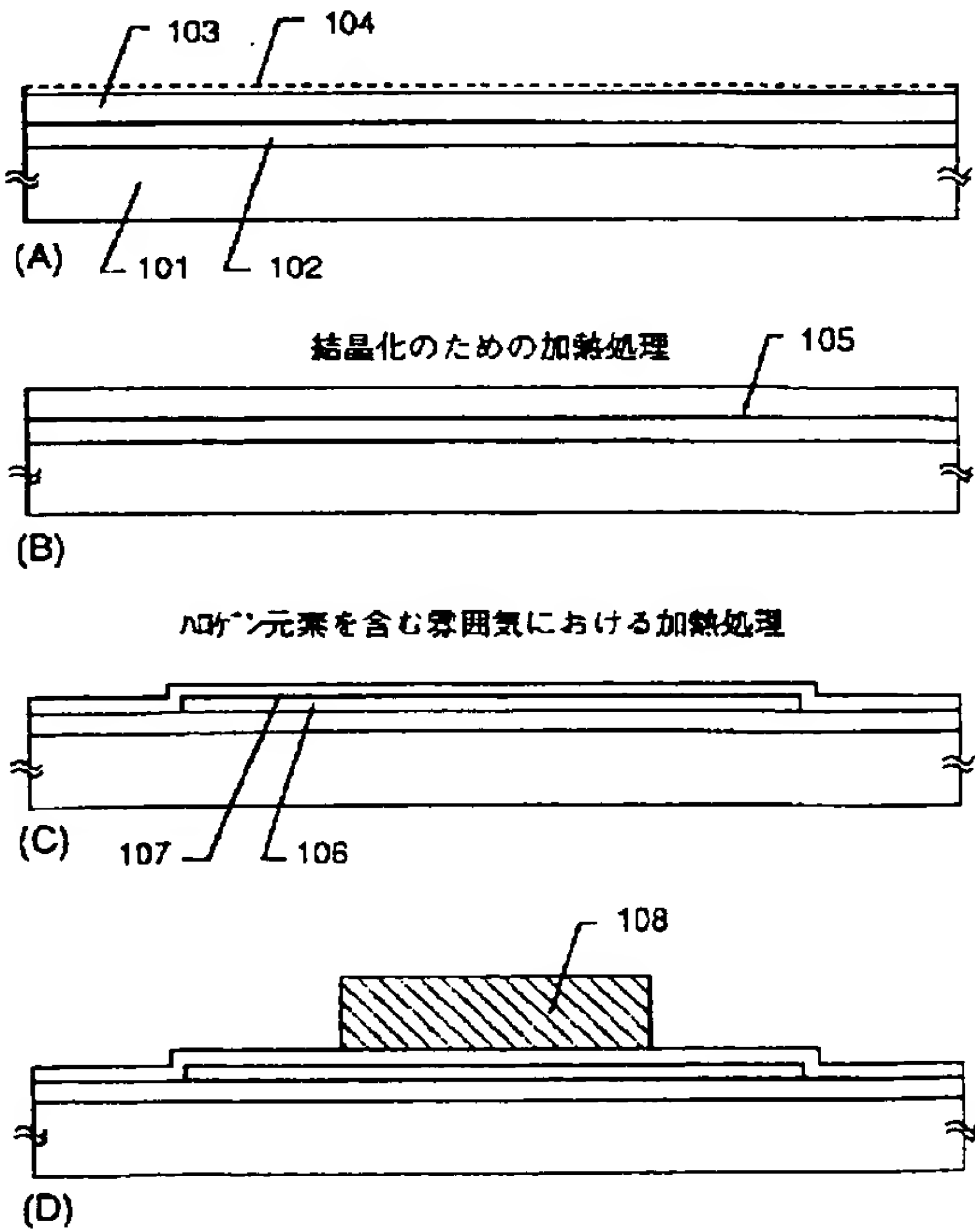
(21) 出願番号	特願平8-301249	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成 8 年(1996)10月24日	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	大谷 久 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【目的】 MOSFETに匹敵する性能を有した半導体装置を提供する。

【構成】 結晶化を助長する金属元素を利用して結晶化した結晶性珪素膜105で活性層を形成し、さらにハロゲン元素を含む雰囲気中における加熱処理を行って前記金属元素のゲッタリング除去を行なう。この処理を経た活性層106は針状または柱状結晶が複数集合した結晶構造体で構成される。この結晶構造体を利用して作製された半導体装置は極めて高い性能を有する。



【特許請求の範囲】

【請求項1】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有する絶縁ゲイト型の半導体装置であつて、

前記活性層中には結晶化を助長する金属元素が $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ の濃度で存在し、

電気特性を表すS値の標準偏差がNチャネル型で15mV/dec以内および／またはPチャネル型で30mV/dec以内に収まることを特徴とする半導体装置。

【請求項2】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有する絶縁ゲイト型の半導体装置であつて、

前記活性層中には結晶化を助長する金属元素が $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ の濃度で存在し、

電気特性を表すS値がNチャネル型で $90 \pm 45 \text{ mV/dec}$ 以内および／またはPチャネル型で $100 \pm 90 \text{ mV/dec}$ 以内に収まることを特徴とする半導体装置。

【請求項3】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有した構造でなり、

前記活性層中には結晶化を助長する金属元素が $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ の濃度で存在し、かつ、電気特性

を表すS値の標準偏差がNチャネル型で15mV/dec以内および／またはPチャネル型で30mV/dec以内に収まる絶縁ゲイト型半導体装置を有して構成されることを特徴とする半導体装置。

【請求項4】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有した構造でなり、

前記活性層中には結晶化を助長する金属元素が $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ の濃度で存在し、かつ、電気特性

を表すS値がNチャネル型で $90 \pm 45 \text{ mV/dec}$ 以内および／またはPチャネル型で $100 \pm 90 \text{ mV/dec}$ 以内に収まる絶縁ゲイト型半導体装置を有して構成されることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4において、前記ゲイト絶縁膜は気相法により成膜した酸化膜と前記活性層を熱酸化して得られた熱酸化膜とで構成されることを特徴とする半導体装置。

【請求項6】請求項5において、前記熱酸化膜中には前

記気相法により成膜した酸化膜中よりも高濃度に結晶化を助長する金属元素が存在していることを特徴とする半導体装置。

【請求項7】請求項1乃至請求項4において、前記活性層は結晶粒界に方向性があり、かつ、前記基体と概略平行な針状または柱状結晶が集合して構成される結晶構造体であることを特徴とする半導体装置。

【請求項8】絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、

前記非晶質珪素膜に対して結晶化を助長する金属元素を保持させる工程と、

第1の加熱処理により前記非晶質珪素膜を結晶性珪素膜に変成させる工程と、

前記結晶性珪素膜をパターンニングして活性層を形成する工程と、

前記活性層上にゲイト絶縁膜を成膜する工程と、

ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に前記活性層と前記ゲイト絶縁膜との界面に熱酸化膜を形成する工程と、

窒素雰囲気中における第3の加熱処理により前記熱酸化膜を含めた前記ゲイト絶縁膜の膜質および界面の状態を改善する工程と、

を少なくとも経て作製され、

前記活性層は結晶粒界に方向性があり、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする半導体装置。

【請求項9】請求項8において、第1の加熱処理は450～700℃の温度範囲で行われ、第2または第3の加熱処理は700℃を越える温度範囲で行われることを特徴とする半導体装置。

【請求項10】請求項8において、前記活性層中には結晶化を助長する金属元素が $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ の平均濃度で存在し、かつ、電気特性を表すS値の標準偏差がNチャネル型で15mV/dec以内および／またはPチャネル型で30mV/dec以内に収まることを特徴とする半導体装置。

【請求項11】請求項8において、前記活性層中には結晶化を助長する金属元素が $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ の平均濃度で存在し、かつ、電気特性を表すS値がNチャネル型で $90 \pm 45 \text{ mV/dec}$ 以内および／またはPチャネル型で $100 \pm 90 \text{ mV/dec}$ 以内に収まることを特徴とする半導体装置。

【請求項12】請求項1乃至請求項4または請求項7または請求項8において、前記活性層のチャネル形成領域の長さは0.01～2μmであることを特徴とする半導体装置。

【請求項13】請求項1乃至請求項4または請求項7または請求項8において、前記活性層中にはCl、F、Brから選ばれた一種または複数種類の元素が $1 \times 10^{15} \sim$

$1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする半導体装置。

【請求項 14】請求項 1 乃至請求項 4 または請求項 7 または請求項 8 において、前記活性層中には C、F、Br から選ばれた一種または複数種類の元素が含まれ、前記元素は前記活性層と前記ゲート絶縁膜との界面に高濃度に分布することを特徴とする半導体装置。

【請求項 15】請求項 1 乃至請求項 4 または請求項 6 または請求項 8 において、前記結晶化を助長する金属元素とは Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au から選ばれた一種または複数種類の元素であることを特徴とする半導体装置。

【請求項 16】請求項 1 乃至請求項 4 または請求項 8 において、前記結晶性珪素膜は減圧熱 CVD 法により成膜した非晶質珪素膜を結晶化して得られることを特徴とする半導体装置。

【請求項 17】半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、

前記非晶質珪素膜に対して結晶化を助長する金属元素を保持させる工程と、

第 1 の加熱処理により前記非晶質珪素膜を結晶性珪素膜に変成させる工程と、

前記結晶性珪素膜をパターンニングして活性層を形成する工程と、

前記活性層上にゲート絶縁膜を成膜する工程と、

ハロゲン元素を含む雰囲気中において第 2 の加熱処理を行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に前記活性層と前記ゲート絶縁膜との界面に熱酸化膜を形成する工程と、

窒素雰囲気中における第 3 の加熱処理により前記熱酸化膜を含めた前記ゲート絶縁膜の膜質および界面の状態を改善する工程と、

を少なくとも有し、

前記活性層は結晶粒界に方向性があり、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする半導体装置の作製方法。

【請求項 18】半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、

絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、

前記非晶質珪素膜に対して結晶化を助長する金属元素を保持させる工程と、

第 1 の加熱処理により前記非晶質珪素膜を結晶性珪素膜に変成させる工程と、

前記結晶性珪素膜をパターンニングして活性層を形成する工程と、

ハロゲン元素を含む雰囲気中において第 2 の加熱処理を

行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に熱酸化膜のみで構成されるゲート絶縁膜を形成する工程と、

窒素雰囲気中における第 3 の加熱処理により前記ゲート絶縁膜の膜質および界面の状態を改善する工程と、

を少なくとも有し、

前記活性層は結晶粒界に方向性があり、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする半導体装置の作製方法。

【請求項 19】請求項 17 または請求項 18 において、前記非晶質珪素膜の成膜方法は減圧熱 CVD 法によることを特徴とする半導体装置の作製方法。

【請求項 20】請求項 17 または請求項 18 において、結晶化を助長する金属元素として Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au から選ばれた一種または複数種類の元素が用いられることを特徴とする半導体装置の作製方法。

【請求項 21】請求項 17 または請求項 18 において、ハロゲン元素を含む雰囲気は酸素雰囲気中に HCl、HF、HBr、Cl₂、ClF₃、BCl₃、NF₃、F₂、Br₂ を含む化合物から選ばれた一種または複数種類のガスが添加されたものであることを特徴とする半導体装置の作製方法。

【請求項 22】請求項 17 または請求項 18 において、第 1 の加熱処理は 450 ～ 700 °C の温度範囲で行われ、第 2 または第 3 の加熱処理は 700 °C を越える温度範囲で行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、絶縁表面を有する基体上に形成された半導体薄膜を活性層とする半導体装置に関する。特に、結晶性珪素膜で活性層を構成した薄膜トランジスタに関する。

【0002】

【従来の技術】近年、絶縁表面を有する基体上に形成された半導体薄膜（厚さ数百～数千 Å 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素マトリクス回路、画素マトリクス回路を制御する駆動回路、さらに外部からのデータ信号を処理するロジック回路（プロセッサ回路やメモリ回路など）等のあらゆる電気回路に TFT を応用する試みがなされている。

【0004】現状においては、活性層として非晶質珪素膜（アモルファスシリコン膜）を用いた TFT が実用化されているが、駆動回路やロジック回路などの様に、さ

らなる高速動作性能を求められる電気回路には、結晶性珪素膜（ポリシリコン膜）を利用したTFTが必要とされる。

【0005】基体上に結晶性珪素膜を形成する方法としては、本出願人による特開平6-232059号公報、特開平6-244103号公報に記載された技術が公知である。この公報に記載されている技術は、珪素の結晶化を助長する金属元素（特にニッケル）を利用することにより、500～600℃、4時間程度の加熱処理によって結晶性の優れた結晶性珪素膜を形成することを可能とするものである。

【0006】しかし、この様なTFTを用いて駆動回路を構成してもまだまだ要求される性能を完全に満たすには及ばない。特に、高速動作と高耐圧特性を同時に実現する極めて高性能な電気特性を要求される高速ロジック回路を、従来のTFTで構成することは不可能なのが現状である。

【0007】

【発明が解決しようとする課題】以上の様に、電気光学装置等の高性能化を図るためには単結晶シリコンウエハを用いて形成されたMOSFETに匹敵する性能を有するTFTを実現しなくてはならない。

【0008】そこで本明細書で開示する発明は、電気光学装置のさらなる高性能化を実現するためのブレイクスルーとなる、極めて高性能な薄膜半導体装置およびその作製方法を提供することを課題とする。

【0009】

【課題を解決するための手段】従来の方法では上述の様な高性能なTFTを得ることができなかった理由として、結晶粒界においてキャリア（電子または正孔）が捕獲がされ、TFT特性を示すパラメータの一つである電界効果移動度の向上が妨げられていたことが考えられる。

【0010】例えば、結晶粒界にはシリコン原子の不對結合手（ダングリングボンド）や欠陥（捕獲）準位が多数存在している。従って、個々の結晶内部を移動するキャリアは結晶粒界に接近もしくは接触すると容易に不對結合手や欠陥準位等にトラップされるため、結晶粒界はキャリアの移動を阻害する「悪性の結晶粒界」として振る舞っていたと考えられる。

【0011】本発明の半導体装置を実現するには、この様な「悪性の結晶粒界」を構造変化させ、キャリアにとって「良性の結晶粒界」に変成させるための技術が不可欠である。即ち、少なくともキャリアを捕獲する確率が小さく、キャリアの移動を妨げる可能性の小さい結晶粒界を形成することが重要であると言える。

【0012】そのために本明細書で開示する発明の構成は、半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、前記非晶質珪素膜に対して結晶化を助長する金属元素を保持させる工程と、第1の加熱処

理により前記非晶質珪素膜を結晶性珪素膜に変成させる工程と、前記結晶性珪素膜をパターンニングして活性層を形成する工程と、前記活性層上にゲイト絶縁膜を成膜する工程と、ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に前記活性層と前記ゲイト絶縁膜との界面に熱酸化膜を形成する工程と、窒素雰囲気中における第3の加熱処理により前記熱酸化膜を含めた前記ゲイト絶縁膜の膜質および界面の状態を改善する工程と、を少なくとも有し、前記活性層は結晶粒界に方向性があり、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする。

【0013】以上の構成に従った作製方法で結晶性珪素膜を形成すると、図13に示す様な外観の薄膜が得られる。図13は結晶性珪素膜を拡大した顕微鏡写真であり、直径数十～百数十 μm にも達する結晶粒（グレイン）が複数集合して構成されている。なお、この作製方法は非晶質珪素膜の結晶化手段として特開平6-232059号公報記載の技術を用いている。

【0014】さらに、図13に示す個々の結晶粒の内部に着目して、結晶粒内部をさらに微細な領域まで拡大したTEM写真が図14である。

【0015】即ち、本発明の結晶性珪素膜は巨視的には図13の様に大きなグレインの集合体に見えるが、実はその内部は図14に示す様に針状または柱状結晶1401が複数集合して構成される様な結晶構造体となっている。

【0016】また、図14において1402で示されるのが針状または柱状結晶同士の境界を示す結晶粒界であり、結晶粒界1402の延びる方向から、針状または柱状結晶1401が互いに概略平行な方向に結晶成長したことが確認できる。なお、本明細書中における結晶粒界とは断りがない限り針状または柱状結晶同士の境界を指す。

【0017】また、本発明の半導体装置は、ハロゲン元素を含む雰囲気による加熱処理によって結晶化を助長する金属元素（ニッケルを主例とする）がゲッタリング除去され、 $5 \times 10^{17} \text{atoms/cm}^3$ 以上の濃度で残留していたニッケルが $1 \times 10^{16} \sim 5 \times 10^{17} \text{atoms/cm}^3$ （好ましくはスピン密度以下）に低減されている。

【0018】勿論、汚染等により混入した（意図的に添加しない）他の金属元素（Cu、Al等）も同様にゲッタリング除去されていると考えられる。

【0019】また、この時、シリコン原子の不對結合手は加熱処理の間に酸素と結合して酸化物（酸化珪素）を形成すると予想される。その結果、「悪性の結晶粒界」であった領域には酸化珪素が形成され、実質的に酸化珪素が結晶粒界として機能する構成になると考えられる。

【0020】この様にして形成された結晶粒界1402

は、酸化珪素と結晶珪素との界面が格子欠陥を殆ど含まない整合性に優れた状態になると推測される。これは、熱酸化により酸化珪素が形成される過程と、ニッケルの触媒作用によりシリコン原子同士あるいはシリコン原子と酸素原子との再結合が促進される過程との相乗効果によって欠陥の原因となる格子間シリコン原子が消費されるからである。

【0021】即ち、図14において1402で示される結晶粒界は、キャリアを捕獲する様な欠陥が殆どなく、針状または柱状結晶内部を移動するキャリアにとって、単にエネルギー的な障壁としてのみ機能する「良性の結晶粒界」として振る舞うと考えられる。

【0022】また、この様な結晶粒界は優先的に熱酸化反応が進行するので熱酸化膜が他の領域よりも厚く形成される。そのため、結晶粒界近傍に印加されるゲート電圧が見かけ上小さくなることもエネルギー的な障壁になりうる。

【0023】また、この加熱処理は700℃を超える（代表的には800～1100℃）比較的高い温度で行われるため、針状または柱状結晶の内部に存在する転位や積層欠陥といった結晶欠陥がほぼ消滅してしまう。さらに、残存したシリコン原子の不對結合手は膜中に含まれる水素やハロゲン元素によって終端される。

【0024】従って本発明者らは、以上の様にして得られる図14に示す状態において、複数の針状または柱状結晶の内部の領域を「キャリアにとって実質的に単結晶と見なせる領域」として定義している。

【0025】「キャリアにとって実質的に単結晶と見なせる」とは、キャリアが移動するに際してキャリアの移動を妨げる障壁がないことを意味しており、結晶欠陥や粒界がないこと、エネルギー的に障壁となるポテンシャルバリアが存在しないことなどと言い換えられる。

【0026】本発明は上記のような構成でなる結晶性珪素膜を利用してTFTに代表される半導体装置の活性層を構成し、駆動回路やロジック回路を構成するに足る高性能な半導体装置を実現するものである。

【0027】以上のような本発明の構成について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0028】

【実施例】

【実施例1】本実施例では本発明の作製方法に従って形成した結晶性珪素膜を、薄膜トランジスタ（TFT）の活性層として利用した例を示す。図1に示すのはTFTの作製工程の一実施例である。

【0029】なお、本実施例では非晶質珪素膜を結晶化する手段として特開平6-232059号公報、特開平6-244103号公報に記載された技術を用いる。従って、本実施例ではその概略を記載するに止めるので、詳細は前記公報を参照すると良い。

【0030】まず絶縁表面を有する基体101を用意する。本実施例では石英基板上に下地膜として酸化珪素膜102を2000Åの厚さに成膜する。酸化珪素膜102の成膜方法としては減圧熱CVD法、プラズマCVD法、スパッタ法などを用いれば良い。

【0031】なお、後に非晶質珪素膜を結晶化する際、下地膜が緻密である方が得られる結晶性珪素膜の結晶性が良いことが本発明者らの研究により判っている。また、膜中に $5 \times 10^{17} \sim 2 \times 10^{19} \text{ atoms/cm}^3$ の酸素が含まれると好ましい。膜中に含まれた酸素は後の結晶化を助長する金属元素のゲッターリング処理の際に重要な役割を果たす。

【0032】次に、非晶質珪素膜103を200～1000Å（本実施例では350Å）の厚さに減圧熱CVD法によって成膜する。成膜ガスとしてはシラン系ガス（ SiH_4 、 Si_2H_6 、 Si_3H_8 等）を用いれば良い。なお、減圧熱CVD法により成膜した非晶質珪素膜は後の結晶化の際に自然核発生率が小さい。この事は個々の結晶が相互干渉する（ぶつかりあって成長が止まる）割合が減るため結晶粒を大きくする上で望ましい。

【0033】勿論、非晶質珪素膜103の成膜方法として、プラズマCVD法、スパッタ法等を用いることも可能である。

【0034】非晶質珪素膜103を成膜したら、酸素雰囲気中においてUV光を照射し、非晶質珪素膜103の表面に極薄い酸化膜（図示せず）を形成する。この酸化膜は、後に結晶化を助長する金属元素を導入する際の溶液塗布工程で溶液の濡れ性を改善するためのものである。

【0035】なお、結晶化を助長する金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素が用いられるが、本実施例ではNi（ニッケル）を例にとって説明する。

【0036】次に、所定の濃度（本実施例では重量換算で10ppm）でニッケルを含有したニッケル硝酸塩（またはニッケル酢酸塩）溶液を滴下し、スピコート法によりニッケルを含有した薄い水膜104を形成する。非晶質珪素膜中に添加するニッケル濃度は溶液塗布工程においてニッケル塩溶液の濃度を調節することで容易に制御することができる。（図1（A））

【0037】以上の様に、特開平6-232059号公報、特開平6-244103号公報に記載された技術の特徴は、工程数が少なく、かつ、簡易的な処理で済む点である。この事は、スループットが高く、製造歩留りが高い技術であることを意味している。

【0038】次に、不活性雰囲気中において450℃、1時間程度の水素出しを行った後、500～700℃、代表的には550～600℃の温度で4～8時間の加熱処理（第1の加熱処理）を加えて非晶質珪素膜103の結晶化を行

う。こうして結晶性珪素膜 105 が得られる。(図 1 (B))

【0039】なお、後のハロゲン元素を含む雰囲気中での加熱処理の前および／または後に結晶性珪素膜 105 に対してエキシマレーザーによるレーザーアニールを施しても構わない。ただし、レーザー照射により結晶性珪素膜の結晶性は改善しうるが、珪素膜表面に凹凸が形成されやすいので注意が必要である。

【0040】次に、得られた結晶性珪素膜 105 をパターンニングして後に T F T の活性層として機能する活性層 106 を形成する。

【0041】活性層 106 を形成したら、活性層 106 上に酸化珪素膜でなるゲイト絶縁膜 107 を 200 ～1500 Å (本実施例では 300 Å) の厚さに成膜する。ゲイト絶縁膜 107 の成膜方法は、プラズマ C V D 法、熱 C V D 法、スパッタ法等の気相法を用いれば良い。

【0042】また、酸化珪素膜の代わりに窒化珪素膜や酸化窒化珪素膜を用いたり、それらの絶縁膜を積層して用いても構わない。

【0043】次に、ハロゲン元素を含む雰囲気において加熱処理(第2の加熱処理)を行う。この加熱処理はハロゲン元素による金属元素のゲッターリング効果を利用して、活性層 106 中の金属元素(特にニッケル)を除去することを第1に狙ったものである。(図 1 (C))

【0044】このゲッターリングのための加熱処理は、その効果を得るために 700 °C を越える温度で行なうことが重要である。それ以下の温度ではゲイト絶縁膜 107 がブロッキング層となって十分なゲッターリング効果を得られない恐れがある。

【0045】そのため、この加熱処理の温度範囲は 700 °C を超える温度で行い、好ましくは 800 ～1000 °C (代表的には 950 °C) とし、処理時間は 0.1 ～ 6 時間、代表的には 0.5 ～ 1 時間とする。

【0046】なお、本実施例では、酸素 (O₂) 雰囲気中に対して塩化水素 (HCl) を 0.5 ～10 体積% (本実施例では 3 体積%) の濃度で含有させた雰囲気中において、950 °C、30 分の加熱処理を行う。HCl 濃度を上記濃度以上とすると、結晶性珪素膜の膜表面に膜厚と同程度の凹凸が生じてしまうため好ましくない。

【0047】また、本実施例ではハロゲン元素を含む化合物として HCl ガスを用いる例を示したが、それ以外のガスとして、HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂ 等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。また、一般にハロゲンの水素化物または有機物(炭水素化物)を用いることもできる。

【0048】この工程においては針状または柱状結晶の結晶粒界に偏析したニッケルがハロゲン元素(ここでは塩素)の作用によりゲッターリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられ

る。

【0049】ここで、図 3 に示すのは上記ハロゲン元素によるゲッターリング処理を行わない場合の結晶性珪素膜中に含まれるニッケルの濃度分布である。この場合、図 3 に示す様に 5×10^{17} atoms/cm³ 以上のニッケルが膜中に残存している。なお、本明細書における不純物濃度は S I M S 分析で得られた計測値の最小値でもって定義される。

【0050】次に、図 4 に示すのは本発明の重要な要素であるハロゲン元素によるゲッターリング処理を行なった場合の結晶性珪素膜中に含まれるニッケルの濃度分布である。図 4 から明らかな様に、結晶性珪素膜中のニッケルは 1×10^{17} atoms/cm³ 以下にまで低減されていることが確認できる。

【0051】従って、活性層 106 中のニッケルはデバイス特性に影響を与えない程度 ($1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³、好ましくは活性層中のスピン密度以下) にまで低減される。なお、下限の 1×10^{16} atoms/cm³ という値は S I M S の検出下限界である。

【0052】なお、本発明者らの知見では結晶化の助長に利用されたニッケルは針状または柱状結晶の結晶粒界に多く偏析する傾向にあり、針状または柱状結晶の内部には実質的には殆ど含まれないと考えられる。ところが、現状の S I M S 分析では結晶内部と結晶粒界の両方の情報を拾ってしまうので、本明細書中におけるニッケルの濃度は、厳密には結晶内部と結晶粒界とに含まれるニッケル濃度を平均化した平均濃度を意味する。

【0053】また、ゲッターリング工程を行なった場合、結晶性珪素膜中にはゲッターリング処理に使用したハロゲン元素が $1 \times 10^{15} \sim 1 \times 10^{20}$ atoms/cm³ の濃度で残存する。その際、結晶性珪素膜と熱酸化膜との間に高濃度に分布する傾向がある。その様子を図 5 に示す。図 5 は S I M S 分析によって本実施例に従って作製した T F T の活性層界面を調べた結果であり、熱酸化膜(酸化珪素)と結晶性珪素膜との間に塩素が高濃度に分布していることが確認できる。

【0054】なお、ニッケルは結晶化の際に針状または柱状結晶の結晶粒界へと押し出されて偏析し、ニッケルシリサイドとして存在していたと考えられる。そしてゲッターリングの際に塩化ニッケルとなって離脱し、ニッケルとの結合を切られたシリコンの不對結合手は結晶粒界に多く存在する状態となる。

【0055】しかし上記工程は酸化性雰囲気中において、比較的高い温度で行われるため形成された不對結合手は容易に酸素と結合して酸化物 (SiO_x で表される酸化珪素) を形成すると考えられる。即ち、本発明者らは、上記一連の加熱工程によって結晶性珪素膜は酸化珪素が結晶粒界として機能する様な結晶構造体となると考えている。

【0056】また、残存した不對結合手は活性層 106

中に含まれる水素やハロゲン元素によって終端されるか、シリコン同士の再結合によって補償され、さらに、転位や積層欠陥といった結晶欠陥はシリコン原子の再結合や再配列によってほぼ消滅してしまうので、針状または柱状結晶の内部の結晶性も著しく改善されることが考えられる。

【0057】従って、活性層106はハロゲン雰囲気での加熱処理によりニッケルがデバイス特性に支障がない程度にまで充分除去され、かつ、活性層106を構成する針状または柱状結晶は著しく結晶性が改善されており、キャリアにとって実質的に単結晶と見なせる領域を有した結晶構造体で構成されている。

【0058】また、上記加熱処理により活性層106とゲイト絶縁膜107の界面では熱酸化反応が進行し、約100Åの珪素膜が酸化されて200Åの熱酸化膜が形成される。即ち、ゲイト絶縁膜107の全膜厚はCVD法で成膜した分と熱酸化で形成された分とを合わせて500Åとなる。

【0059】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で950℃1時間程度の加熱処理を行なうことで、ゲイト絶縁膜107の膜質の向上と共に、極めて良好な半導体/絶縁膜界面が実現される。

【0060】また、活性層106はドライエッチング法で形成されるが、その時活性層のエッジに残留したプラズマダメージがTFTのリーク電流の原因となる恐れがある。本実施例の場合、活性層106のエッジは熱酸化されるのでプラズマダメージの除去も兼ねている。

【0061】以上の様にして、ゲイト絶縁膜107の形成まで終了したら、次にゲイト電極を構成するためのアルミニウム膜（図示せず）を2500Åの厚さにスパッタ法でもって成膜する。このアルミニウム膜中には、ヒロックやウィスカ防止のためにスカンジウムを0.2重量%含有させる。

【0062】なお、本実施例ではゲイト電極（ゲイト配線を含む）を形成する材料としてアルミニウムを主成分とする材料を用いているが、他にもタングステン、タンタル、モリブデン等を用いることもできる。また、導電性を付与した結晶性珪素膜をゲイト電極として活用しても構わない。

【0063】次に、図1(D)に示す様にアルミニウム膜をパターニングしてゲイト電極の原型となる島状のアルミニウム膜のパターン108を形成する。なおこの際利用したレジストマスク（図示せず）はそのまま残存させておく。

【0064】そして、アルミニウム膜のパターン108を陽極とした陽極酸化を行う。この技術は公知の陽極酸化技術（例えば特開平7-135318号）を用いる。まず、この陽極酸化工程によって、パターン108の側面には多孔質状の陽極酸化膜109が形成される。本実施例では

この陽極酸化膜109の膜厚を0.7μmとする。

【0065】図2(A)に示す多孔質状の陽極酸化膜109を形成したら、図示しないレジストマスクを取り除く。そして、再度の陽極酸化を行うことにより、緻密な陽極酸化膜110を形成する。緻密な陽極酸化膜110の膜厚は900Åとする。

【0066】また、以上の工程を経てゲイト電極111が画定する。緻密な陽極酸化膜110は、後の工程においてゲイト電極111の表面を保護したり、ヒロックやウィスカの発生を抑制するために機能する。

【0067】次に、緻密な陽極酸化膜110まで形成したら、この状態においてソース/ドレイン領域を形成するための不純物イオンの注入を行う。Nチャネル型のTFTを作製するならばP（リン）イオンの注入を行い、Pチャネル型のTFTを作製するならばB（ボロン）イオンの注入を行えば良い。

【0068】この工程において、高濃度に不純物が添加されたソース領域112とドレイン領域113が形成される。

【0069】次に、酢酸とリン酸と硝酸とを混合した混酸を用いて、多孔質状の陽極酸化膜109を選択的に除去した後に再度Pイオンのイオン注入を行なう。このイオン注入は、先のソース/ドレイン領域を形成する際よりも低ドーズ量でもって行なわれる。（図2(B)）

【0070】すると、ソース領域112、ドレイン領域113と比較して不純物濃度の低い、低濃度不純物領域114、115が形成される。そしてゲイト電極111直下の116で示される領域が自己整合的にチャネル形成領域となる。

【0071】なお、チャネル形成領域116とドレイン領域113との間に配置された低濃度不純物領域115は特にLDD（ライトドープドレイン領域）領域と呼ばれ、チャネル形成領域116とドレイン領域113との間に形成される高電界を緩和する効果を有する。

【0072】また、チャネル形成領域116（厳密には針状または柱状結晶の内部）は真性または実質的に真性な領域で構成されている。真性または実質的に真性な領域であるとは、活性化エネルギーがほぼ1/2（フェルミレベルが禁制帯の中央に位置する）であり、かつ、スピ密度よりも不純物濃度が低い領域であること、あるいは意図的にPやBといった不純物を添加しないアンドープ領域であることを意味している。

【0073】さらに、上記の不純物イオンの注入工程の後、レーザー光または赤外光または紫外光の照射を行うことによって、イオン注入が行われた領域のアニールを行う。この処理によって、添加イオンの活性化と、イオン注入時に活性層が受けた損傷の回復が行なわれる。

【0074】また、水素化処理を300～350℃の温度範囲で0.5～1時間行くと効果的である。この工程は活性層からの水素脱離によって生成した不対結合手を再び水

素終端するものである。この工程を行なうと活性層中には $1 \times 10^{21} \text{ atoms / cm}^3$ 以下、好ましくは $1 \times 10^{15} \sim 1 \times 10^{21} \text{ atoms / cm}^3$ の濃度で水素が添加される。

【0075】こうして図2(B)に示す状態が得られたら、次に層間絶縁膜117成膜する。層間絶縁膜117は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜、またはそれらの膜の積層膜でもって構成される。(図2(C))

【0076】また、有機性樹脂膜であるポリイミドを用いると、比誘電率が小さいので上下配線間の寄生容量を低減することができる。また、スピンコート法で形成できるので容易に膜厚を稼ぐことができ、スループットの向上が図れる。

【0077】次に、層間絶縁膜117コンタクトホール形成を行い、ソース電極118とドレイン電極119とを形成する。さらに350℃の水素雰囲気中において加熱処理を行うことにより、素子全体の水素化を行い、図2(C)に示すTFTが完成する。

【0078】図2(C)に示すTFTは説明のため最も単純な構造となっているが、本実施例の作製工程手順に多少の変更・追加を加えることで適宜所望のTFT構造とすることは容易である。

【0079】ここで、本実施例に従って本発明者らが作製した図2(C)に示される半導体装置の電気特性を図*

*6に示す。図6(A)はNチャネル型TFTの電気特性(I_d - V_g 特性)、図6(B)はPチャネル型TFTの電気特性を示している。なお、 I_d - V_g 特性を示すグラフは5点分の測定結果をまとめて表示する。

【0080】また、横軸の V_G はゲート電圧値、縦軸の I_D はソース/ドレイン間を流れる電流値である。また、601、603で示される I_d - V_g 曲線はドレイン電圧 $V_D=1V$ の時の特性を示し、602、604で示される I_d - V_g 曲線はドレイン電圧 $V_D=5V$ の時の特性を示している。また、605、606はドレイン電圧 $V_D=1V$ の時のリーク電流を示している。

【0081】なお、オフ領域(図6(A)では $-1V$ 以下、図6(B)では $-1V$ 以上)のドレイン電流(I_{off})と、オンおよびオフ領域のリーク電流(I_G)は、殆どが $1 \times 10^{-13} A$ (測定下限界) 以下であるので、図6

(A)、(B)ではノイズと混同されてしまっている。

【0082】ここで、図6(A)、(B)に示される電気特性から求めた、本発明によるTFTの代表的な特性パラメータを表1、表2に示す。なお、表1はNチャネル型TFTの電気特性(任意の20点測定)の結果であり、表2はPチャネル型TFTの電気特性(任意の20点測定)の結果を示している。

【0083】

【表1】

Nチャネル型TFT測定結果 (SingleGate)

測定点	$I_{on_1}(\mu A)$ ($V_D=1V$) ($V_G=5V$)	$I_{on_2}(\mu A)$ ($V_D=5V$) ($V_G=5V$)	$I_{off_1}(pA)$ ($V_D=1V$) ($V_G=-1V$)	$I_{off_2}(pA)$ ($V_D=5V$) ($V_G=-1V$)	$I_{on/off1}$	$I_{on/off2}$	$V_{th}(V)$ ($V_D=5V$)	$S\text{-value}$ (mV/dec) ($V_D=1V$)	$\mu FE [cm^2/Vs]$		$I_{G_on}(pA)$ ($V_D=1V$) ($V_G=5V$)	$I_{G_off}(pA)$ ($V_D=1V$) ($V_G=-1V$)
									($V_D=1V$) ($V_G=5V$)	($V_D=1V$) ($V_G=-1V$)		
Point 1	106.07	330.63	0.68	2.46	8.19	8.13	-0.58	85.00	174.08	311.34	0.18	-0.17
Point 2	110.65	328.89	0.71	1.21	8.19	8.43	-0.38	75.40	203.65	326.07	-0.03	-0.33
Point 3	104.23	321.93	0.92	6.98	8.05	7.66	-0.54	81.00	189.82	298.79	0.08	-0.28
Point 4	110.74	342.70	0.46	1.92	8.39	8.25	-0.58	67.10	188.86	323.97	0.09	-0.34
Point 5	92.83	291.00	0.58	1.45	8.20	8.30	-0.44	75.80	160.44	281.53	0.00	-0.30
Point 6	111.50	345.87	0.28	2.24	8.60	8.19	-0.55	89.60	190.77	328.03	0.33	-0.27
Point 7	98.77	317.28	0.83	2.17	8.08	8.16	-0.57	87.30	160.91	297.70	0.34	-0.33
Point 8	99.16	315.82	0.27	0.86	8.56	8.56	-0.56	93.40	155.67	304.09	0.11	-0.31
Point 9	96.34	315.41	1.03	1.62	7.97	8.29	-0.45	87.50	171.22	285.34	0.03	0.48
Point 10	100.39	320.20	0.92	4.70	8.04	7.83	-0.60	81.10	160.82	304.09	-0.14	-0.03
Point 11	107.68	337.04	1.05	3.85	8.01	7.94	-0.56	81.70	178.37	322.64	0.08	0.10
Point 12	130.49	388.87	0.40	1.61	8.51	8.38	-0.51	82.50	216.52	396.51	-0.11	-0.48
Point 13	110.53	332.17	1.07	1.14	8.01	8.46	-0.41	76.90	199.35	328.89	0.00	-0.51
Point 14	123.34	359.87	1.30	1.27	7.98	8.45	-0.33	83.90	236.08	364.85	0.54	-0.58
Point 15	104.55	312.87	0.30	1.22	8.54	8.41	-0.32	93.40	185.05	318.16	-0.29	-0.31
Point 16	97.18	303.28	0.77	1.31	8.10	8.38	-0.54	89.70	167.40	283.96	0.12	0.38
Point 17	98.89	299.66	0.42	2.08	8.37	8.16	-0.36	72.00	190.44	288.92	0.20	-0.10
Point 18	102.90	324.42	0.73	0.29	8.15	9.05	-0.54	93.50	178.37	298.65	0.23	-0.09
Point 19	96.08	307.28	0.63	2.74	8.18	8.05	-0.55	88.30	163.20	283.82	0.61	-0.38
Point 20	115.54	348.82	1.10	1.54	8.02	8.36	-0.40	77.60	203.17	355.26	0.26	-0.18
平均値	105.89	327.20	0.72	2.13	8.21	8.27	-0.49	83.15	183.76	315.03	0.14	-0.20
標準偏差 σ	9.54	22.66	0.31	1.52	0.21	0.29	0.09	7.43	20.97	30.08	0.22	0.27

【0084】

【表2】

Pチャネル型TFT測定結果 (SingleGate)

測定点	Ion_1[μ A]	Ion_2[μ A]	Ioff_1[pA]	Ioff_2[pA]	Ion/Ioff1	Ion/Ioff2	Vth[V]	S-value [mV/dec]	μ FE [cm^2/Vs]		Kg_on[pA]	Kg_off[pA]
	(VD=1V) (VG=5V)	(VD=5V) (VG=5V)	(VD=1V) (VG=5V)	(VD=5V) (VG=1V)					(VD=1V) (VG=5V)	(VD=1V) (max)		
Point 1	36.10	76.69	1.35	35.05	7.43	6.34	-1.52	94.30	155.19	155.19	-0.10	0.11
Point 2	37.85	75.50	1.05	20.46	7.56	6.57	-1.62	128.10	161.10	165.87	-0.12	-0.16
Point 3	35.49	73.92	1.59	29.22	7.35	6.40	-1.60	77.69	150.99	155.24	-0.04	-0.25
Point 4	41.67	92.14	1.83	23.75	7.36	6.59	-1.25	128.04	150.61	161.20	0.13	-0.32
Point 5	41.32	89.49	0.51	14.83	7.91	6.78	-1.35	106.32	153.62	164.68	-0.30	-0.07
Point 6	35.65	75.85	0.82	25.05	7.65	6.48	-1.55	83.48	148.27	156.24	-0.28	-0.20
Point 7	38.76	80.06	0.86	21.28	7.65	6.58	-1.51	78.86	154.67	163.01	-0.32	-0.24
Point 8	39.07	83.43	0.66	20.06	7.77	6.62	-1.38	98.47	144.56	158.58	-0.27	0.08
Point 9	40.51	89.73	0.17	20.48	8.38	6.64	-1.36	98.42	144.56	162.15	-0.28	-0.21
Point 10	37.70	77.90	1.43	21.16	7.42	6.57	-1.46	101.49	150.76	156.57	0.23	-0.18
Point 11	41.84	94.44	0.43	20.56	7.99	6.66	-1.10	70.93	135.11	159.53	0.27	-0.06
Point 12	40.99	84.98	1.46	16.60	7.45	6.71	-1.48	94.08	160.63	169.98	-0.22	-0.34
Point 13	37.75	78.87	0.41	11.83	7.96	6.82	-1.49	95.57	153.43	156.67	0.17	-0.14
Point 14	38.80	79.13	1.53	19.09	7.40	6.62	-1.51	82.63	162.44	163.30	0.17	-0.39
Point 15	41.06	85.88	0.41	16.88	8.00	6.71	-1.47	88.00	164.59	169.98	-0.14	0.17
Point 16	37.33	77.99	1.37	44.30	7.44	6.25	-1.48	96.32	152.76	155.14	0.10	-0.26
Point 17	38.81	80.83	1.32	17.75	7.47	6.66	-1.44	114.06	160.39	160.53	-0.35	0.26
Point 18	39.87	84.08	1.54	27.18	7.41	6.48	-1.51	73.32	152.38	169.45	0.09	-0.12
Point 19	43.04	91.36	1.05	20.92	7.61	6.64	-1.40	95.09	163.97	174.55	-0.26	0.20
Point 20	39.55	80.62	0.67	17.13	7.77	6.67	-1.53	88.12	166.97	168.59	-0.21	0.04
平均値	39.20	82.63	1.02	22.18	7.65	6.59	-1.45	93.66	154.25	162.32	-0.09	-0.10
標準偏差 σ	2.07	6.14	0.49	7.37	0.28	0.14	0.12	17.11	8.00	5.88	0.21	0.19

【0085】表1、表2において特に注目すべき点は、サブスレッショルド特性（S値、S-value）が60～100mV/decの間に収まる程小さく、移動度（ μ FE、モビリティ）が150～400 cm^2/Vs という様に極めて大きいことである。なお、本明細書中において移動度とは電界効果移動度を意味する。

【0086】これらの測定データは従来のTFTでは達成不可能な値であり、まさに本発明によるTFTが単結晶上に作製したMOSFETに匹敵する極めて高性能なTFTであることを証明している。

【0087】また同時に、本発明によるTFTは非常に劣化に強いことが繰り返し測定による加速劣化試験によって確認されている。経験的には高速動作するTFTは劣化しやすいという欠点を有しているのだが、本発明によるTFTは劣化もなく、極めて高い耐圧特性を有していることが判明している。

【0088】また、表1、表2には参考として平均値および標準偏差（ σ 値）も記載する。標準偏差は平均値からの分散（バラツキ）の尺度として用いられる。一般的には測定結果（母集団）が正規分布（ガウシアン分布）に従うとすると、平均値を中心に $\pm 1\sigma$ の内に全体の68.3%、 $\pm 2\sigma$ の内に95.4%、 $\pm 3\sigma$ の内に99.7%が入ることが知られている。

【0089】本発明者らは、本実施例のTFT特性の分散をより正確に評価するため、140個のTFTを測定し、その結果から平均値および標準偏差を求めた。その結果、S値の平均値は87.1mV/dec(n-ch)、105.6mV/dec(p-ch)であり、標準偏差は9.1(n-ch)、25.3(p-ch)であった。また、移動度の平均値は277.8 cm^2/Vs (n-ch)、151.1 cm^2/Vs (p-ch)であり、標準偏差は43.6(n-ch)、12.7(p-ch)であった。

【0090】即ち、本発明を利用したNチャネル型TFT

Tにおいては、以下に示す様なTFT特性を得ることができる。

（1）S値の σ 値が15mV/dec以内、好ましくは10mV/dec以内に収まる。

（2）S値が90 \pm 45mV/dec以内、好ましくは90 \pm 30mV/dec以内に収まる。

（3） μ FEの σ 値が50 cm^2/Vs 以内、好ましくは45 cm^2/Vs 以内に収まる。

【0091】また、本発明を利用したPチャネル型TFTにおいては、以下に示す様なTFT特性を得ることができる。

（1）S値の σ 値が30mV/dec以内、好ましくは25mV/dec以内に収まる。

（2）S値が100 \pm 90mV/dec以内、好ましくは100 \pm 75mV/dec以内に収まる。

（3） μ FEの σ 値が20 cm^2/Vs 以内、好ましくは15 cm^2/Vs 以内に収まる。

【0092】以上の様に、本発明によるTFTは極めて優れた電気特性を実現するものであり、これまで単結晶上に作製したMOSFETのみが使用されていた様な複雑なSRAM回路やDRAM回路等、高速動作を必要とするロジック回路を構成することが可能である。

【0093】また、本実施例ではシングルゲイト構造のTFTの作製工程例のみを記載しているが、ダブルゲイト構造のTFTやそれ以上のゲイト電極を有するマルチゲイト構造のTFTに対しても適用することができる。

【0094】また、本発明は活性層の結晶性を高めることで実現できるものであって、耐熱性が許す限りTFT構造は問わずに実施することができる。

【0095】〔本発明で得られる結晶構造体に関する知見〕本発明によって得られる結晶性珪素膜が図14に示される様な針状または柱状結晶の集合体でなる結晶構造

体であることは既に述べた。ここでは、本発明による結晶構造体と他の方法で形成された結晶構造体との比較を行なう。

【0096】図15に示す結晶構造体は、非晶質珪素膜の結晶化条件を本発明とは異なるものとした場合の例である。具体的には、窒素雰囲気中で600℃48時間の加熱処理を行うことで非晶質珪素膜を結晶化し、900～1100℃程度の温度で熱酸化処理を施してある。

【0097】以上の様にして形成した結晶性珪素膜は、図15に示す様に個々の結晶粒が大きく、不規則に分布する粒界によって分割された状態となっている。

【0098】図15において、結晶粒1501は不規則な粒界1502によって囲まれた状態となっている。従って、実際に図15に示す結晶構造体をTFTの活性層として利用すると、不規則な粒界1502によって生ずるエネルギー障壁がキャリアの移動を阻害してしまう。

【0099】一方、図14に示す様な結晶構造体は、図14に示す様に、結晶粒界1402がある程度の規則性をもって配列した状態となっている。従って、針状または柱状結晶の内部において、キャリアの移動を阻害するエネルギー障壁はないと考えられる。

【0100】なお、本発明者らが針状または柱状結晶の配列状態を1～5万倍程度の広視野で観察した結果、針状または柱状結晶がジグザグに進行する様な場合があることが確認されている。これは、結晶成長がエネルギー的に安定な方向へ向かうことに起因する現象であり、結晶方向が転換した箇所には一種の粒界が形成されていると推測される。

【0101】しかしながら本発明者らは、針状または柱状結晶の内部に生じうるこの粒界はエネルギー的に不活性な双晶粒界の如きものではないかと推測している。即ち、結晶方向は異なるが、整合性良く連続的に結合した粒界であり、キャリアの移動を妨げる程のエネルギー障壁とならない（実質的に粒界と見なされない）粒界であると考えている。

【0102】以上の様に、一般的なプロセスで結晶化した結晶性珪素膜は図15に示す様な結晶構造を有し、キャリアの移動を遮る様に不規則な粒界が分布するため、高い移動度を達成することが困難である。

【0103】しかしながら、本発明による結晶性珪素膜は図14に示す様な結晶構造を有し、結晶粒界に方向性がある上、針状または柱状結晶の内部は実質的にエネルギー障壁となる粒界が存在しないと考えられる。即ち、キャリアは何ら阻害されることなく結晶内部を移動することが可能となるので、極めて高い移動度を達成することができる。

【0104】特に、本発明により得られる針状または柱状結晶の注目すべき点は、凹凸や応力等に起因する歪みを避けながら（結晶方向を変えながら）数十～数百μmもの距離を連続的に成長していくと考えられる点であ

る。

【0105】本発明者らの推測が正しければ、本発明による結晶性珪素膜は結晶内部にキャリアトラップとなりうる粒界を形成しないで成長していく、特殊な結晶の集合体で構成される全く新しい結晶構造体であると言える。

【0106】〔実施例2〕本実施例は実施例1で示したTFTでもってCMOS回路を形成する例である。CMOS回路は実施例1で示した様な構造のNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせて構成される。

【0107】本実施例におけるCMOS回路の作製工程の一実施例を図7、図8を用いて説明する。なお、本発明により形成される結晶性珪素膜の応用範囲は広く、CMOS回路を形成する方法は本実施例に限ったものではない。

【0108】まず実施例1に示す作製手順に従って、石英基板701上に酸化珪素膜702を成膜し、その上に結晶性珪素膜（図示せず）を得る。そしてそれをパターニングすることによりNチャネル型TFTの活性層703とPチャネル型TFTの活性層704とを形成する。

【0109】活性層703、704を形成したらゲイト絶縁膜705を成膜し、さらにハロゲン元素を含む雰囲気における加熱処理を行なう。本実施例では処理条件を実施例1と同じものとする。こうして、活性層703、704は本発明の結晶構造体となり、良好な膜質と界面を有するゲイト絶縁膜705が形成される。

【0110】次に、後にゲイト電極の原型を構成するアルミニウム膜（図示せず）を成膜し、パターニングしてアルミニウム膜のパターン706、707を形成する（パターン形成後もパターニングに使用したレジストマスクは残しておく）。

【0111】こうして図7（A）の状態が得られる。アルミニウム膜のパターン706、707を形成したら、次に、実施例1と同様の条件でもってアルミニウム膜のパターン706、707の側面に多孔質の陽極酸化膜708、709を形成する。本実施例ではこの多孔質の陽極酸化膜708、709の膜厚を0.5μmとする。

【0112】さらに、実施例1と同様の条件でもって緻密で強固な陽極酸化膜710、711の形成を行う。ただし、本実施例ではこの膜厚が700Åとなる様に到達電圧を調節する。また、この工程によりゲイト電極712、713が画定する。こうして図7（B）の様な状態が得られる。

【0113】図7（B）の状態が得られたら、ゲイト絶縁膜705をドライエッチング法によりエッチングする。このエッチング工程ではゲイト電極712、713および多孔質状の陽極酸化膜708、709がマスクとなって、その直下のみにゲイト絶縁膜が残存する。エッチング後に多孔質状の陽極酸化膜708、709を除去

すると図7(C)の状態となる。

【0114】次に、Pチャネル型TFTを覆い隠す様にしてレジストマスク714を形成し、N型を付与する不純物としてP(リン)イオンをドーピングする。このドーピングは、加速電圧50KeV、ドーズ量 $0.1 \sim 5 \times 10^{13}$ atoms/cm²、好ましくは $0.5 \sim 2 \times 10^{13}$ atoms/cm² 程度で行なう。

【0115】このドーピング工程は比較的加速電圧が高いため、Pイオンが露出したゲート絶縁膜を通過して活性層703へと打ち込まれる。その結果、715、716で示される領域にPイオンが添加される。(図7(C))

【0116】次に、図7(D)に示すように再びPイオンの注入を行う。このPイオンの注入は、加速電圧を5KeVと低めに設定し、ドーズ量を $0.1 \sim 1 \times 10^{15}$ atoms/cm²、好ましくは $2 \sim 5 \times 10^{14}$ atoms/cm² とする。この工程の結果、高濃度にPイオンが添加された領域717、718が形成される。

【0117】図7(D)に示す工程が終了した時点でNチャネル型TFTの活性層が完成する。即ち、Nチャネル型TFTのソース領域717、ドレイン領域718、低濃度不純物領域(またはLDD領域)719、720、チャネル形成領域721が画定する。

【0118】次に、図8(A)に示すように左側のNチャネル型TFTを覆うレジストマスク722を形成する。そして、図8(A)に示す状態においてP型を付与する不純物としてB(ボロン)イオンの注入を行う。このBイオンのドーピングもPイオンの場合と同様に2度に分けて行なう。

【0119】1度目のBイオンのドーピングは加速電圧30KeV、ドーズ量を $0.1 \sim 5 \times 10^{14}$ atoms/cm²、好ましくは $0.5 \sim 2 \times 10^{14}$ atoms/cm² 程度とする。この工程により723、724で示される領域にBイオンが添加される。(図8(A))

【0120】2度目のBイオンのドーピングは加速電圧5KeV、ドーズ量を $0.1 \sim 1 \times 10^{15}$ atoms/cm²、好ましくは $2 \sim 5 \times 10^{14}$ atoms/cm² 程度とする。この工程により高濃度にBイオンが添加された領域725、726が形成される。(図8(B))

【0121】以上の工程によりPチャネル型TFTのソース領域725、ドレイン領域726、低濃度不純物領域(またはLDD領域)727、728、チャネル形成領域729が画定する。

【0122】次に、図8(B)に示す工程の終了後、レジストマスク722を取り除き、基板全面にレーザー光または赤外光や紫外光等の強光を照射する。この工程により添加された不純物イオンの活性化と、不純物イオンが注入された領域の損傷の回復が行なわれる。

【0123】次に、層間絶縁膜730を4000Åの厚さに成膜する。層間絶縁膜730は酸化珪素膜、酸化窒化珪

素膜、窒化珪素膜、有機性樹脂膜のいずれでも良く、多層構造としても良い。これら絶縁膜の成膜方法は、プラズマCVD法、熱CVD法、スピンコート法を用いればよい。

【0124】次にコンタクトホール形成を行い、Nチャネル型TFTのソース電極731、Pチャネル型TFTのソース電極732を形成する。また、ドレイン電極733はNチャネル型TFTとPチャネル型TFTとで共有する様な構成とすることでCMOS回路が実現される。(図8(C))

【0125】以上の様な過程を経て、図8(C)に示す構造でなるCMOS回路を作製することができる。CMOS回路は最も単純な構成のインバータ回路であり、CMOSインバータ回路を直列に奇数組接続して形成した閉回路はリングオシレータと呼ばれ、半導体装置の動作速度を評価する際に用いられる。

【0126】ここで図9(A)に示す上面写真は、本実施例に従って作製したCMOS回路を組み合わせて構成したリングオシレータ回路である。本発明者らは本発明を利用して実際にアクティブマトリクス型液晶表示装置を試作し、その駆動回路の動作性能をリングオシレータで確認した。

【0127】なお、図9(A)に示すリングオシレータを構成するCMOS回路のゲート電極幅は約0.6μmと細く、チャネル形成領域は通常ならば短チャネル効果が発生する程度にまで微細化されている。

【0128】また、図9(B)には参考としてシフトレジスタ回路の写真を示す。図9(B)に示すシフトレジスタ回路は試作した周辺駆動回路を構成する重要な回路の一つであり、画素領域のアドレスを指定するロジック回路である。特に、水平走査用(ソース側用)シフトレジスタ回路は実動作時に数MHz～数十MHz程度の非常に高い周波数での駆動を要求される。

【0129】ここで図9(A)に示すリングオシレータ回路の発振周波数を調べた結果を図10に示す。測定は9、19、51組(段)のCMOS回路を接続したリングオシレータで行い、電源電圧と発振周波数の関係を求めた。なお、図10に示す結果は平均データである。

【0130】図10によると、例えば電源電圧5V、9段のリングオシレータは402MHzの発振周波数を実現しており、極めて動作速度が速いことが判る。また、本発明者らは9段のリングオシレータを用いて、最大発振周波数454.37MHz(電源電圧3.3V)、539.51MHz(電源電圧5V)というデータを得ている。なお、参考までに最大周波数データを測定した際の周波数特性を図11に示す。

【0131】これらの値は従来の作製工程で作製したリングオシレータに比べて20倍近い動作速度を有することを意味している。また、1～5Vの範囲で電源電圧を振っても常に数十～数百MHzの発振周波数を実現して

いる。

【0132】以上の様に、本発明を利用したCMOS回路は回路設計上やむを得ず付加価値が加わった状況においても、問題なく高速動作させることが可能であり、あらゆるロジック回路の要求に応える性能を有している。

【0133】さらに、チャネル長が $0.6\ \mu\text{m}$ と極めて微細化されているにも拘わらず、本実施例に示した様な極めて高速な動作にも耐えうる高い耐圧特性をも有していることは、本発明によるTFETが短チャネル効果に殆ど影響されず、極めて高い信頼性を有していることを意味している。

【0134】〔本発明の構成から導かれる推察〕実施例1および実施例2に実験データをもって示した様に、本発明に従って作製したTFETは極めて高い性能（高速動作特性、高耐圧特性）を実現している。また、この様な高速動作特性を有していながら劣化に強いという特徴は、経験的にも特異な現象と言える。そこで、本発明者らは本発明によるTFETが何故これほどまで耐劣化性に優れているかを考察し、そこから一つの理論を推察したので以下に記載する。

【0135】本発明者らは、本発明によるTFETの耐圧が高い理由として針状または柱状結晶の結晶粒界の影響を重視した。即ち、本発明者らはチャネル形成領域に局部的に存在する結晶粒界（酸化物領域と予想される）がソース領域とドレイン領域の間、特にチャネル形成領域とドレイン領域との間にかかる高電界を効果的に緩和していると推測した。

【0136】具体的には、結晶粒界が特にドレイン領域から広がる空乏層電荷により形成される電界を抑え、ドレイン電圧が高くなった状態（ドレイン側空乏層電荷が増加した状態）においても、ソース側の拡散電位を変化させない様に機能していると考えたのである。

【0137】以上をまとめると、本発明による結晶性珪素膜を活性層に活用した場合、チャネル形成領域は以下の構成を満たしていると思なせる。

(1) キャリアが移動する（キャリアにとって）実質的に真性な領域（針状または柱状結晶の内部）が存在する。

(2) キャリアの移動を抑制する又はチャネル方向（ソースドレイン間を結ぶ方向）にかかる電界を緩和するエネルギー障壁が存在する。

【0138】従って、上記2つの構成を満たす、換言すればキャリアにとって実質的に真性なチャネル形成領域と、局部的に形成されたエネルギー障壁とを有する構成とすることで本発明が示す様な優れた特性のTFETを作製しうると考えられる。

【0139】以上の構成は、多少の推測を交えてではあるが、本発明者らの実験データから導かれるものである。そこで、本発明者らはこの構成を人為的に創り出すことで同様の効果を得ることができるのではないかと予

想した。

【0140】その結果、本発明者らは短チャネル効果の抑制に効果的な構成を提案するに至った。ここではその概略について、以下に記載する。なお、以下に記載する考察は現状においては推測の範囲に止まるものである。

【0141】短チャネル効果とは、しきい値電圧の低下、パンチスルー現象に伴う耐圧の劣化およびサブスレッショルド特性の劣化などの総称である。特に問題となるパンチスルー現象はドレイン側の空乏層がソース領域にまで広がることでソース側の拡散電位が低下し、ソース／ドレイン間に貫通電流が流れる現象である。

【0142】そこで本発明者らは本発明の結晶粒界の効果に注目して、チャネル長が $0.01\sim 2\ \mu\text{m}$ 程度の短チャネルTFETにおいては、チャネル形成領域に対して人為的かつ局部的に不純物領域を設けることで、ドレイン側の空乏層の広がりを抑制する効果が得られると推測した。

【0143】この様な構成は活性層を図12に示す様な構成とすることで達成できると考えられる。図12

(A)において、1201はソース領域、1202はドレイン領域、1203はチャネル形成領域であり、チャネル形成領域1203の中には人為的に不純物領域1204が形成される。また、チャネル形成領域1203中、不純物領域1204以外の領域1205は、実質的に真性な領域であり、キャリアが移動する領域となる。

【0144】ここで図12(A)に示す構造は、図14に示す本発明の結晶構造体を模した構造である点が重要である。即ち、図14の1402で示される結晶粒界は図12(A)の不純物領域1204に相当し、図14の針状または柱状結晶1401は図12(A)のキャリアが移動する領域1205に相当するのである。

【0145】従って、チャネル形成領域1203内に配置された不純物領域1204はチャネル形成領域内に局部的にビルトインポテンシャル（エネルギー障壁とも言える）の大きい領域を形成し、そのエネルギー障壁によってドレイン側空乏層の広がりを効果的に抑制すると推測できる。

【0146】また、図12(A)をA-A'で切断した断面図を図12(B)に示す。1206は絶縁表面を有する基板である。また、図12(A)をB-B'で切断した断面図を図12(C)に示す。

【0147】なお、図12(C)において $w_{pi,n}$ は不純物領域1204の幅を表し、 $w_{pa,m}$ はキャリアが移動する領域の幅を表す。ここで n 、 m はチャネル形成領域1203内において、 $w_{pi,n}$ が n 番目の不純物領域の幅であり、 $w_{pa,m}$ が m 番目のキャリアが移動する領域であることを意味している。

【0148】従って、本発明によるTFETの実際の電界効果移動度は次式に示す理論式に実効的なチャネル幅 W_{pa} （ $w_{pa,m}$ を1～ m まで加えた総和）を代入しなくては

ならない。

【0149】

$\mu_{FE} = 1 / C_{ox} (\Delta I_d / \Delta V_g) \cdot 1 / V_d \cdot L / W$
ここで C_{ox} はゲイト酸化膜容量、 ΔI_d 、 ΔV_g はそれぞれドレイン電流 I_d とゲイト電圧 V_g の変化量、 V_d はドレイン電圧、 L 、 W はそれぞれチャネル長およびチャネル幅である。

【0150】しかしながら、実効的なチャネル幅 W_{pa} を測定することは現実的に不可能であるため、本明細書中の電界効果移動度はチャネル幅の設計値 W を代入して求めている。即ち、実際の移動度よりも小さい値が得られていると考えられる。

【0151】また、不純物領域を図12(A)に示す様な配置で設けることは移動度の向上に対して非常に大きな意味があると予想される。その理由について以下に説明する。

【0152】移動度(μ_{FE})は半導体膜(ここでは珪素膜を例にとる)中のキャリアの散乱によって決まるが、珪素膜における散乱は格子散乱と不純物散乱とに大別される。これらが影響し合って形成される全体的な移動度 μ は次式で表される。

【0153】

【数1】

$$\mu = (1/\mu_l + 1/\mu_i)^{-1}$$

【0154】この数1で示される式は、全体的な移動度 μ が、格子散乱の影響を受けた場合の移動度 μ_l (l はlatticeを意味する)の逆数および不純物散乱の影響を受けた場合の移動度 μ_i (i はimpurityを意味する)の逆数の和に反比例することを意味している。また、格子散乱および不純物散乱は各々次式で表される。

【0155】

【数2】

$$\mu_l \propto (m^*)^{-5/2} T^{-3/2}$$

【0156】

【数3】

$$\mu_i \propto (m^*)^{-1/2} N_i T^{3/2}$$

【0157】これらの式によると、チャネル形成領域全体に均一に不純物が添加された状態では不純物散乱の影響を受けて移動度を稼ぐことができない。しかしながら、図12に示す構成の場合、局部的に不純物領域を形成しているので、キャリアが移動する領域には不純物が添加されず、キャリアにとって実質的に真性である。

【0158】即ち、理論的には数3においてイオン化した不純物の濃度 N_i を限りなく0に近づけることを意味するため、移動度 μ_i は限りなく無限大に近づいていくことになる。即ち、数1において $1/\mu_i$ の項を無視することができる程度にまで不純物を減少させることを意

味するので全体の移動度 μ は限りなく移動度 μ_l に近づいていくと推測される。

【0159】また、図12(A)において不純物領域1204がチャネル方向と概略平行となる様に配置されていることは重要である。この様な配置は、図14に示した針状または柱状結晶の結晶粒界の延びる方向と、チャネル方向とが一致した場合に相当する。

【0160】この様な配置とした場合、不純物領域1204は「良性の結晶粒界」として振る舞うと予想されるので、キャリアを捕獲することなく、レールの様な役割を果たしてキャリアに移動方向を規定すると推測される。このことは、キャリア同士の衝突による散乱の影響を低減する上で非常に重要な構成である。

【0161】また、以上の様な構成とすることで、短チャネル効果の一つであるしきい値電圧の低下も抑制できると予想される。これはチャネル幅が極端に狭くなった時に生じる狭チャネル効果を、不純物領域間で人為的に引き起こすことが可能であるという推論に基づく予想である。

【0162】また、前述の様にドレイン側空乏層の広がりを抑制することでパンチスルー現象を防止することが可能と考えられるが、パンチスルー現象を防止することで耐圧の向上と共にサブスレッショルド特性(S 値)の向上も望める。

【0163】サブスレッショルド特性の向上は、本構成を用いることでドレイン側空乏層の占める体積を減じることができるという推論から以下の様に説明できる。

【0164】図12(A)で示す構成とした時に、効果的に空乏層の広がりが抑制されるならば、ドレイン側空乏層の占める体積を大幅に減じることが可能でなくてはならない。従って、総合的な空乏層電荷を小さくできるため、空乏層容量を小さくできると考えられる。ここで、 S 値を導出する式は次の近似式で表される。

【0165】

【数4】

$$S \doteq \ln 10 \cdot kT/q [1 + (C_d + C_{it})/C_{ox}]$$

【0166】数4において、 k はボルツマン定数、 T は絶対温度、 q は電荷量、 C_d は空乏層容量、 C_{it} は界面準位の等価容量、 C_{ox} はゲイト酸化膜容量である。従って、本構成では空乏層容量 C_d および界面準位の等価容量 C_{it} を0に可能な限り近づけることで、 $C_d = C_{it} = 0$ となる理想状態、即ち S 値が60mV/decadeとなる半導体装置を実現できる可能性がある。

【0167】ただし、数4に示される式は S 値を導出するための近似式であり、TFETではこの近似式に従わずに60mV/decade以下の測定値が得られることもある。

【0168】ところで、本発明から推測される本構成では、本発明の結晶粒界に相当する不純物領域として酸素以外に窒素や炭素を用いても良い。これは、本構成の目

的がチャネル形成領域に対して人為的にエネルギー障壁を配置することにあるからである。

【0169】従って、エネルギー障壁を形成するという観点から考えれば、反転層の導電型と逆の導電型を持つ不純物領域でも効果があると言えよう。即ち、Nチャネル型半導体装置ならばBイオンを、Pチャネル型半導体装置ならばPイオンを用いて不純物領域を形成すれば良いと言える。

【0170】また、不純物領域をPまたはBイオンで構成する場合、添加する不純物イオンの濃度で直接的にし
10 きい値制御を行なうことも可能である。

【0171】以上の様に、本構成は本明細書で開示する発明の構成および実験事実をもとに本発明者らの推測により導かれた技術である。本構成を実施することで、チャネル長が極めて短いディープサブミクロン領域の半導体装置で問題となる短チャネル効果を効果的に抑制することができる
と推測される。

【0172】〔実施例3〕本実施例では実施例1に示した作製工程とは別の工程例を示す。具体的には活性層を形成する前に、結晶性珪素膜に対してハロゲン元素を含
20 む雰囲気における加熱処理を施し、ニッケルをゲッタリング除去する。

【0173】本実施例に示す工程を実施例1と組み合わせることで活性層中のニッケル濃度をさらに効果的に低減することが可能である。

【0174】また、700℃を超える加熱処理によって結晶性珪素膜の膜厚が減少するため、活性層を薄くする効果もある。膜厚が薄くなると移動度の向上やオフ電流の低減といった効果が期待できる。

【0175】〔実施例4〕本実施例では実施例1に示した作製工程とは別の工程例を示す。具体的には実施例1において、ゲイト絶縁膜107を成膜する工程を省略し、活性層を形成した直後にハロゲン元素を含む雰囲気
30 での加熱処理を施す。

【0176】この時形成された熱酸化膜に対して、実施例1と同様に窒素雰囲気中でアニールすることで膜質を改善することができる。この場合、この様な熱酸化膜のみでゲイト絶縁膜を構成することが可能である。また、熱酸化膜の膜厚は加熱処理の条件を調節することで100
~1500Å（代表的には500~1000Å）の範囲で形成でき
40 る。

【0177】熱酸化膜のみでゲイト絶縁膜を構成すると高速動作の可能な半導体装置を作製できる点と、ゲイト絶縁膜の成膜工程を簡略化できる点に特徴がある。ただし、膜厚を均一に形成することが困難な場合が多い。

【0178】また、上記工程で形成された熱酸化膜の上に気相法により絶縁膜を堆積して、それらの積層膜をもってゲイト絶縁膜とすることも可能である。その場合、ゲイト耐圧が向上するが、熱酸化膜と気相法による膜との界面を清浄にしておくことが重要である。

【0179】また、上記工程を金属元素（特にニッケル）の除去工程として見なし、上記工程で形成された熱酸化膜を除去して、再度熱酸化膜を形成してゲイト絶縁膜とすることもできる。また、熱酸化膜を除去した後、活性層上に気相法によってゲイト絶縁膜を形成することもできる。この場合、活性層とゲイト絶縁膜の界面に存在する余計な不純物の濃度を低減することが可能であるが、活性層表面の清浄度に注意しなくてはならない。

【0180】〔実施例5〕本実施例では、本発明を応用して作製したTFTをDRAM（Dynamic Random Access Memory）およびSRAM（Static Random Access Memory）に応用した例について説明する。説明には図16を用いることとする。

【0181】DRAMは記憶する情報を電荷としてコンデンサに蓄える形式のメモリである。コンデンサへの情報としての電荷の出し入れは、コンデンサに直列に接続されたTFTによって制御される。DRAMの1個のメモリセルを構成するTFTとコンデンサの回路を図16（A）に示す。

【0182】ワード線1601によってゲイト信号を与えられると、1603で示されるTFTは導通状態となる。この状態でビット線1602側からコンデンサ1604に電荷が充電されて情報を読み込んだり、充電したコンデンサから電荷を取り出して情報を読みだしたりする。即ち、このコンデンサに蓄積された電荷をTFTにより書き込んだり、読み出したりすることで記憶素子としての機能を有することになる。

【0183】DRAMの特徴は1個のメモリを構成する素子数がTFTとコンデンサだけで非常に少ないので、高集積密度の大規模メモリを構成するのに適している。また、価格も低く抑えられるので、現在最も大量に使用されている。

【0184】また、TFTを用いてDRAMセルを形成した場合の特徴として蓄積容量を小さく設定することができるため、低電圧での動作を可能とすることができる。

【0185】次に、受動負荷素子として高抵抗を用いたSRAM回路を図16（B）に示す。なお、受動負荷素子と同様の機能をTFTで代替するSRAM構造をとることも可能である。

【0186】SRAMはフリップフロップ等の双安定回路を記憶素子に用いたメモリであって、双安定回路のON-OFFあるいはOFF-ONの2安定状態に対応して2進情報値（0または1）を記憶するものである。電源の供給がある限り記憶が保持される点で有利である。

【0187】1605で示されるのはワード線であり、1606はビット線である。1607は高抵抗で構成される負荷素子であり、1608で示されるような2組のドライバトランジスタと1609で示されるような2組
50 のアクセストランジスタとでSRAMが構成される。

【0188】以上のような構成でなるSRAMの特徴は、高速動作が可能で、信頼性が高くシステムへの組み込みが容易なことなどである。

【0189】〔実施例6〕本実施例では、実施例1の半導体装置および実施例2のCMOS回路を用いて同一基体上に画素マトリクス回路とロジック回路とを集積化したアクティブマトリクス型電気光学装置を構成する例を示す。電気光学装置としては、液晶表示装置、EL表示装置、EC表示装置などが含まれる。

【0190】なお、ロジック回路とは、周辺駆動回路やコントロール回路等の様に電気光学装置を駆動するための集積化回路を指す。アクティブマトリクス型電気光学装置においては、動作性能の限界や集積度の問題もあってロジック回路は外付けICが一般的であったが、本発明のTFTを用いることで同一基板上に全てを一体化することが可能となる。

【0191】また、コントロール回路とはプロセッサ回路、メモリ回路、クロック発生回路、A/D(D/A)コンバータ回路等の電気光学装置を駆動するに必要な全ての電気回路を含むものとする。勿論、メモリ回路には実施例5、6で示したSRAM回路やDRAM回路が含まれる。

【0192】このような構成に本明細書で開示する発明を利用すると、単結晶上に形成したMOSFETに匹敵する性能を有するTFTでもってロジック回路を構成することができる。

【0193】〔実施例7〕本実施例では実施例1と異なる構造のTFTを作製する例を示す。説明には図17を用いる。

【0194】まず、実施例1と同様の工程を経て図1(D)に示す状態を得る。図1(D)に示す状態を得たら、アルミニウム膜のパターニングに用いた図示しないレジストマスクを除去し、その後、酒石酸中で陽極酸化処理を行い、1000Åの厚さの緻密な陽極酸化膜を得る。この状態を図17(A)に示す。

【0195】図17(A)において、101は石英基板、102は下地膜、106は活性層、107は後にゲイト絶縁膜として機能する熱酸化膜である。また、1701はアルミニウムを主成分とする材料でなるゲイト電極、1702はゲイト電極1701を陽極酸化して得られた緻密な陽極酸化膜である。

【0196】次に、この状態で活性層106に対して一導電性を付与する不純物イオンの注入を行なう。そして、このイオン注入工程により不純物領域1703、1704が形成される。

【0197】不純物イオンの注入が終了したら、窒化珪素膜1705を0.5~1μmの厚さに成膜する。成膜方法は減圧熱CVD法、プラズマCVD法、スパッタ法のいずれであっても良い。また、窒化珪素膜以外に酸化珪素膜を用いても良い。

【0198】こうして図17(B)の状態が得られる。図17(B)の状態が得られたら、次に窒化珪素膜1705をエッチバック法によりエッチングして、ゲイト電極1701の側壁にのみ残す。こうして残された窒化珪素膜はサイドウォール1706として機能する。

【0199】この際、熱酸化膜107はゲイト電極がマスクとなった領域以外が除去されて図17(C)に示す様な状態で残存する。

【0200】図17(C)に示す状態で再び不純物イオンの注入を行なう。この時、ドーズ量は先程のイオン注入のドーズ量よりも高めとしておく。このイオン注入の際、サイドウォール1706の直下の領域1707、1708はイオン注入が行なわれないので、不純物イオンの濃度に変化はない。しかし、露出した領域1709、1710はさらに高濃度の不純物イオンが注入されることになる。

【0201】以上の様に2度目のイオン注入を経て、ソース領域1709、ドレイン領域1710およびソース/ドレイン領域よりも不純物濃度の低い低濃度不純物領域(LDD領域)1707、1708が形成される。なお、ゲイト電極1701の直下はアンドープな領域であり、チャネル形成領域1711となる。

【0202】以上の工程を経て図17(C)の状態が得られたら、300Åの厚さの図示しないチタン膜を成膜し、チタン膜とシリコン(結晶性珪素)膜とを反応させる。そして、チタン膜を除去した後、ランプアニール等による加熱処理を行なうことでソース領域1709、ドレイン領域1710の表面にチタンシリサイド1712、1713を形成する。(図17(D))

【0203】なお、上記工程はチタン膜の代わりにタンタル膜、タングステン膜、モリブデン膜等を用いることも可能である。

【0204】次に、層間絶縁膜1714として酸化珪素膜を5000Åの厚さに成膜し、ソース電極1715、ドレイン電極1716を形成する。こうして図17(D)に示す構造のTFTが完成する。

【0205】本実施例で示す構造のTFTは、ソース/ドレイン電極がチタンシリサイド1712、1713を介してソース/ドレイン領域と接続するので良好なオーミックコンタクトを実現できる。

【0206】〔実施例8〕本実施例では実施例1または実施例7と異なる構造のTFTを作製する例を示す。説明には図18を用いる。

【0207】まず、実施例1と同様の工程を経て図1(D)に示す状態を得る。ただし、本実施例ではゲイト電極の材料として導電性を付与した結晶性珪素膜を用いることとする。この状態を図18(A)に示す。

【0208】図18(A)において、101は石英基板、102は下地膜、106は活性層、107は後にゲイト絶縁膜として機能する熱酸化膜である。また、18

01は結晶性珪素膜（ポリシリコン膜）でなるゲイト電極である。

【0209】次に、この状態で活性層106に対して一導電性を付与する不純物イオンの注入を行なう。そして、このイオン注入工程により不純物領域1802、1803が形成される。（図18（B））

【0210】不純物イオンの注入が終了したら、実施例7と同様にエッチバック法を用いてサイドウォール1804を形成する。

【0211】そして、サイドウォール1804を形成したら、再び不純物イオンの注入を行なう。以上の2度のイオン注入を経て、ソース領域1807、ドレイン領域1808、低濃度不純物領域（LDD領域）1805、1806、チャネル形成領域1809が形成される。

【0212】以上の工程を経て図18（C）の状態が得られたら、500 Åの厚さの図示しないタングステン膜を成膜し、タングステン膜とシリコン膜とを反応させる。そして、タングステン膜を除去した後、ランプアニール等による加熱処理を行なうことでゲイト電極1801、ソース領域1807、ドレイン領域1808、の表面にタングステンシリサイド1810～1812を形成する。（図18（D））

【0213】次に、層間絶縁膜1813として窒化珪素膜を4000 Åの厚さに成膜し、ソース電極1814、ドレイン電極1815を形成する。こうして図18（D）に示す構造のTFTが完成する。

【0214】本実施例で示す構造のTFTは、ゲイト電極およびソース／ドレイン電極がタングステンシリサイド1810～1812を介して取り出し電極と接続するので良好なオーミックコンタクトを実現できる。

【0215】〔実施例9〕本実施例では本発明を利用した半導体装置を組み込んだ電気光学装置（表示装置）の一例を示す。なお、電気光学装置は必要に応じて直視型または投影型で使用するれば良い。また、電気光学装置も半導体を用いて機能する装置と考えられるので、本明細書中における電気光学装置とは、半導体装置の範疇に含まれるものとする。

【0216】また、本発明を利用した半導体装置の応用製品としてはTVカメラ、ヘッドマウントディスプレイ、カーナビゲーション、プロジェクション（フロント型とリア型がある）、ビデオカメラ、パーソナルコンピュータ等が挙げられる。それら応用用途の簡単な一例を図19を用いて行う。

【0217】図19（A）はTVカメラであり、本体2001、カメラ部2002、表示装置2003、操作スイッチ2004で構成される。表示装置2003はビューファインダーとして利用される。

【0218】図19（B）はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。表示装置2102は比較的小型

のサイズのものが2枚使用される。

【0219】図19（C）はカーナビゲーションであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。表示装置2202はモニターとして利用されるが、地図の表示が主な目的なので解像度の許容範囲は比較的広いと言える。

【0220】図19（D）は携帯情報端末機器（本実施例では携帯電話）であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作ボタン2305、アンテナ2306で構成される。表示装置2303に対しては、将来的にTV電話として動画表示を要求されることが予想される。

【0221】図19（E）はビデオカメラであり、本体2401、表示装置2402、接眼部2403、操作スイッチ2404、テープホルダー2405で構成される。表示装置2402に映し出された撮影画像は接眼部2403を通してリアルタイムに見ることができるので、使用者は画像を見ながらの撮影が可能となる。

【0222】図19（F）はフロントプロジェクションであり、本体2501、光源2502、反射型表示装置2503、光学系（ビームスプリッターや偏光子等が含まれる）2504、スクリーン2505で構成される。スクリーン2505は会議や学会発表などのプレゼンテーションに利用される大画面スクリーンであるので、表示装置2503は高い解像度が要求される。

【0223】また、本実施例に示した電気光学装置以外にも、リアプロジェクションやモバイルコンピュータ、ハンディターミナルなどの携帯型情報端末機器に適用することができる。以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。

【0224】また、本発明のTFTは電気光学装置に限らず、例えばSRAMやDRAMといった形で集積化回路に組み込み、本実施例で示した様な応用製品の駆動回路として用いることも可能である。

【0225】

【発明の効果】本明細書で開示する発明によれば、単結晶シリコン上に作製したMOSFETに匹敵する高い性能を有したTFTを実現することができる。また、本発明のTFTで構成したリングオシレータは従来のTFTで構成されたリングオシレータに比べて20倍の高速動作が可能である。

【0226】さらに、この様な高い特性を有しているにも拘わらずチャネル長が1 μm以下という微細領域においても極めて高い耐圧特性を有しており、短チャネル効果が効果的に抑制されていることが確認できる。

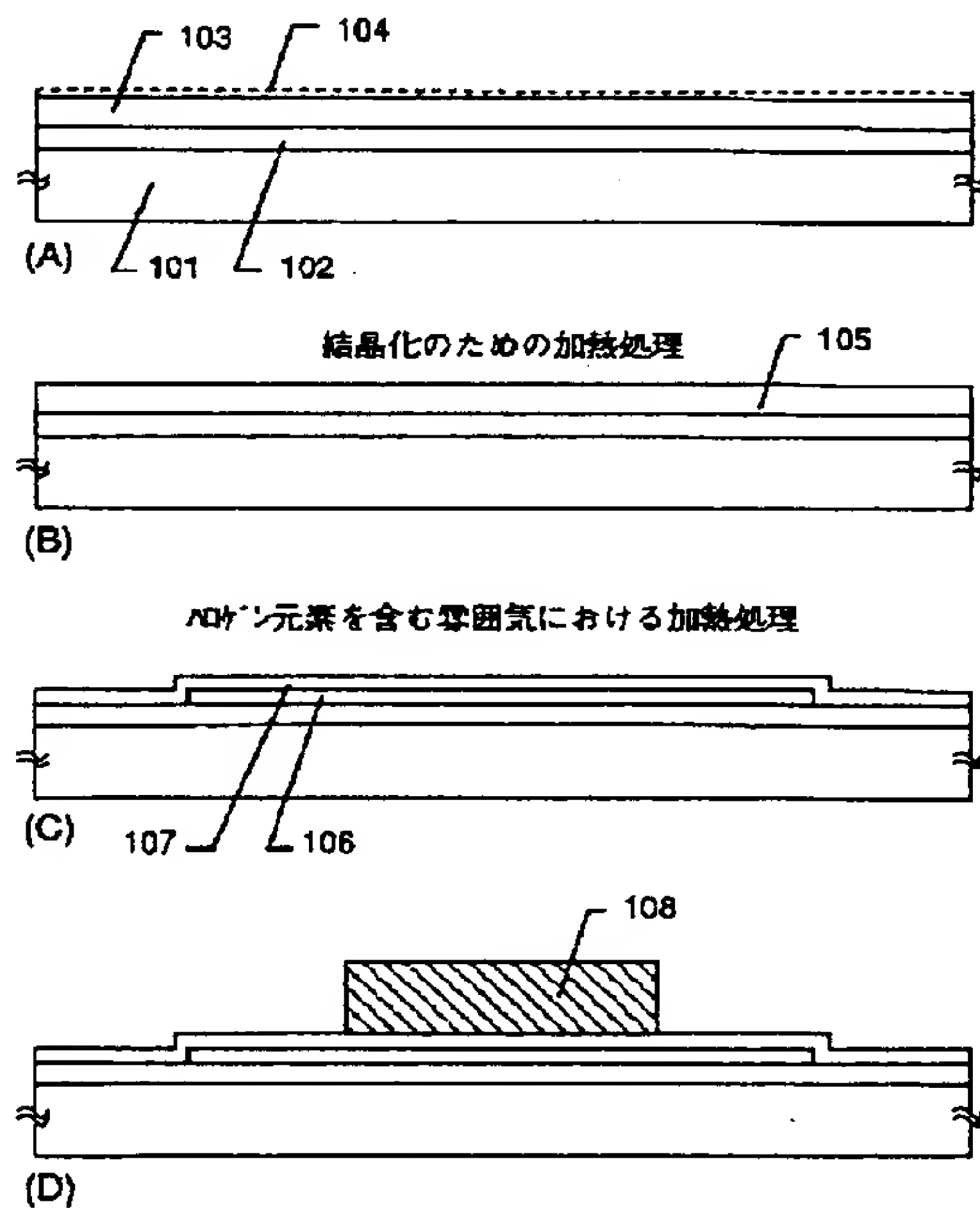
【0227】以上の様なTFTを用いて構成される集積化回路を電気光学装置に適用することで、電気光学装置のさらなる高性能化が実現できる。また、電気光学装置を応用した応用製品も高性能、高付加価値化することが

できる。

【図面の簡単な説明】

- 【図1】 半導体装置の作製工程を示す図。
 【図2】 半導体装置の作製工程を示す図。
 【図3】 活性層表面近傍のニッケル濃度を示す図。
 【図4】 活性層表面近傍のニッケル濃度を示す図。
 【図5】 活性層表面近傍の塩素濃度を示す図。
 【図6】 半導体装置の特性を示す図。
 【図7】 半導体装置野作製工程を示す図。
 【図8】 半導体装置の作製工程を示す図。
 【図9】 電気回路の構成を示す写真。
 【図10】 リングオシレータの測定結果を示す図。
 【図11】 リングオシレータの測定結果を示す図。

【図1】

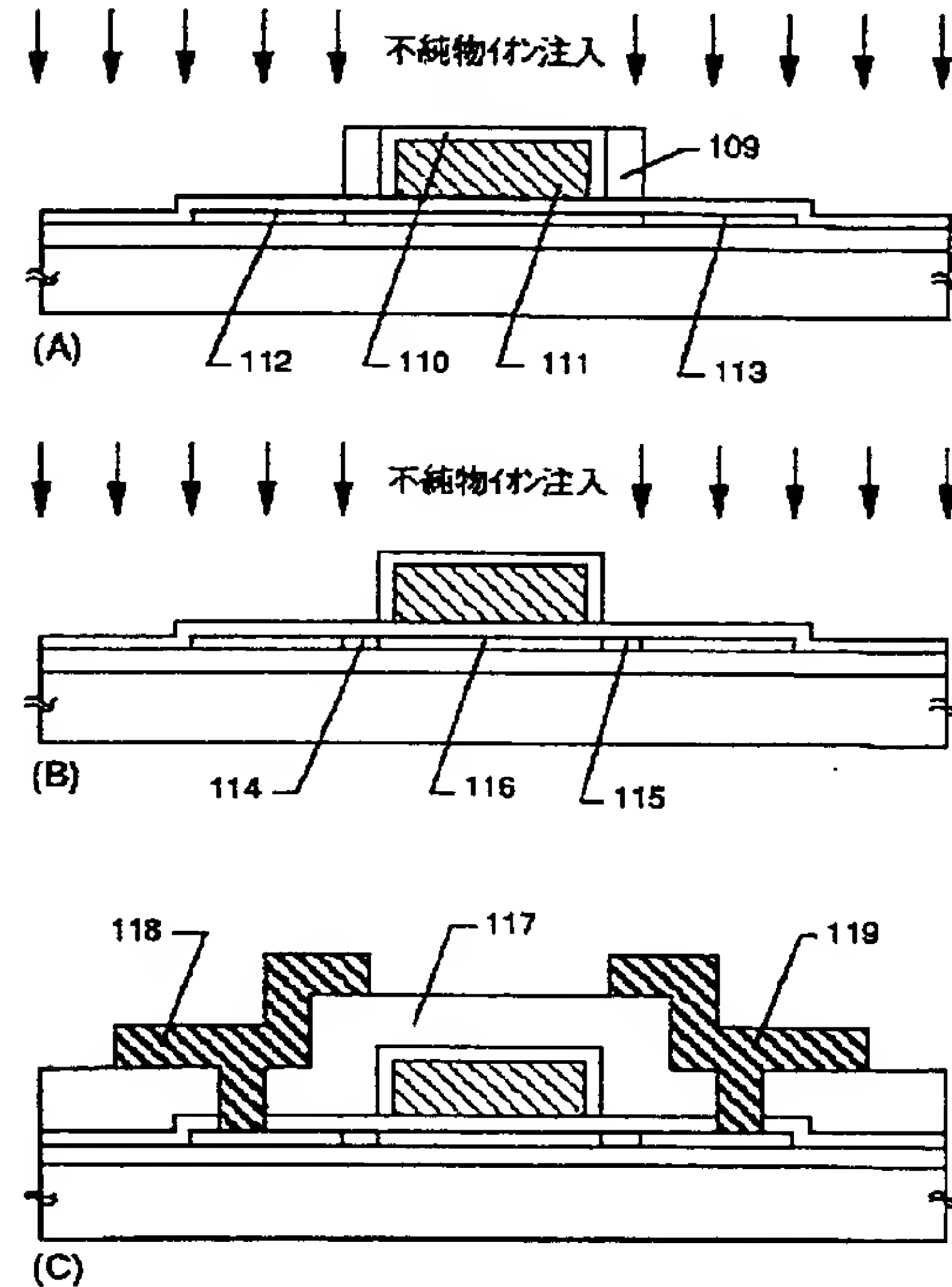


- 【図12】 活性層の構成を示す図。
 【図13】 結晶性珪素膜の表面を示す写真。
 【図14】 結晶構造を示す写真。
 【図15】 結晶構造を示す写真。
 【図16】 DRAM、SRAMの構成を示す図。
 【図17】 半導体装置の作製工程を示す図。
 【図18】 半導体装置の作製工程を示す図。
 【図19】 半導体装置の応用例を示す図。

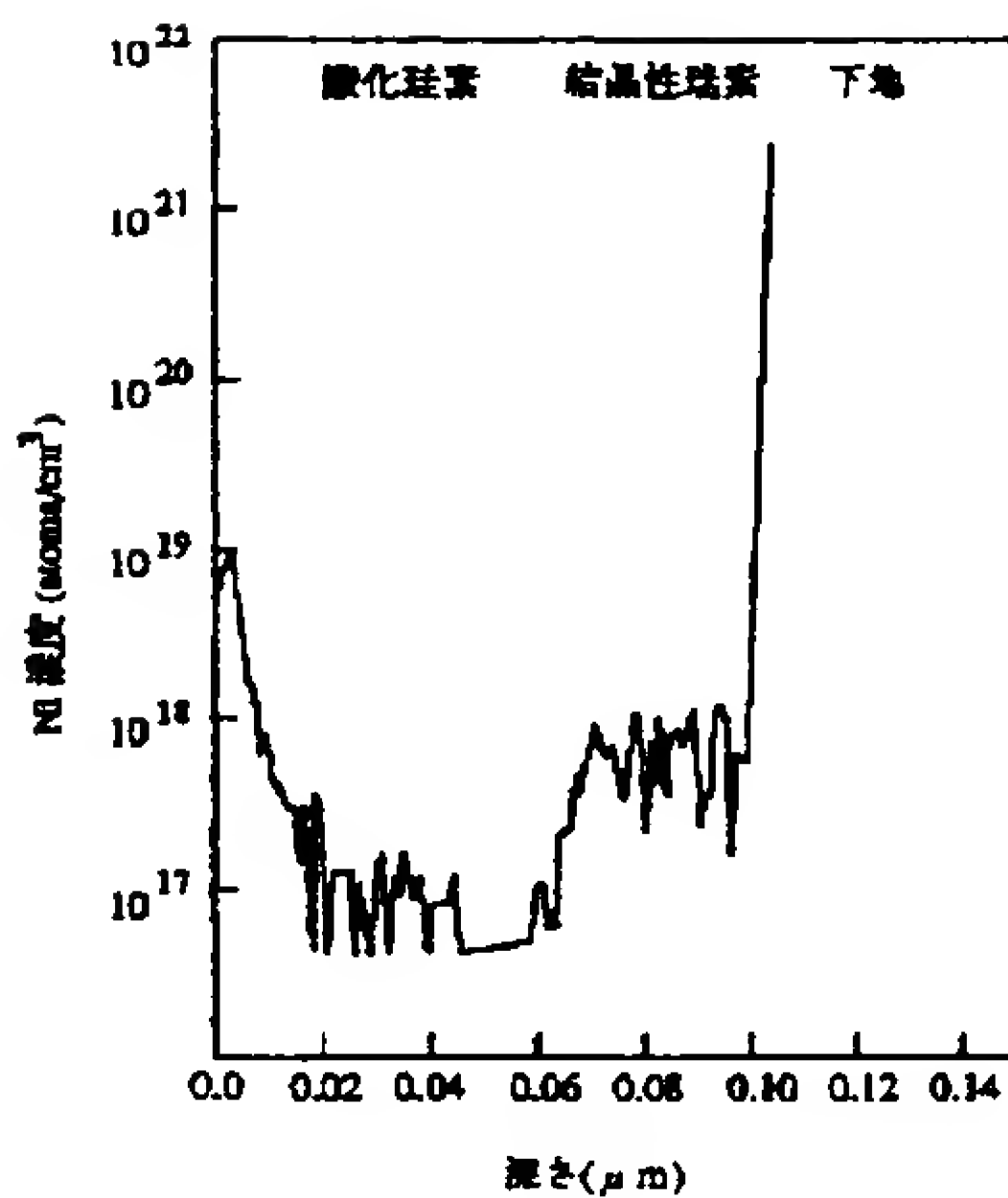
【符号の説明】

- 10 103 非晶質珪素膜
 104 ニッケルを含有した水膜
 105 結晶性珪素膜
 106 活性層
 107 熱酸化膜

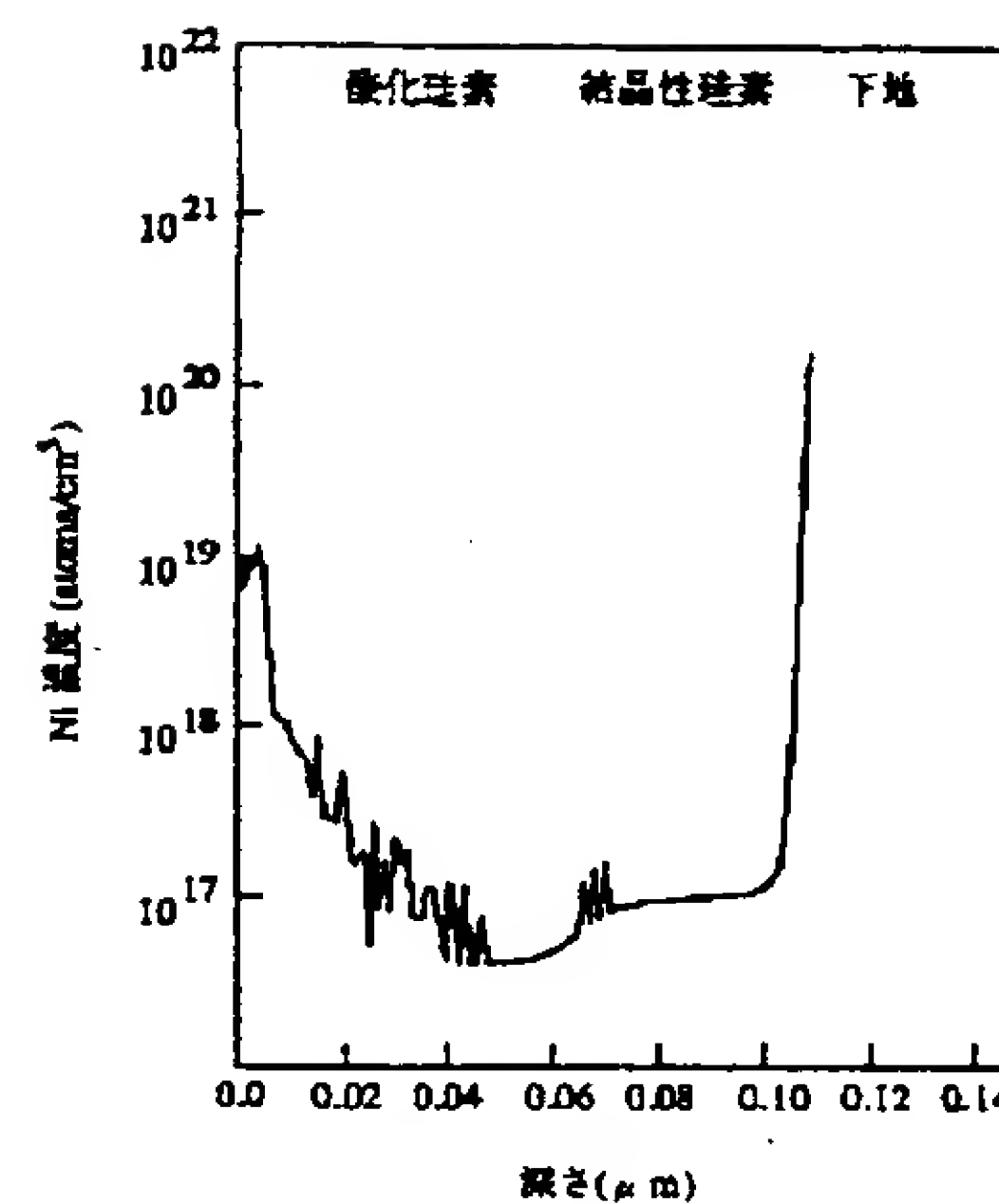
【図2】



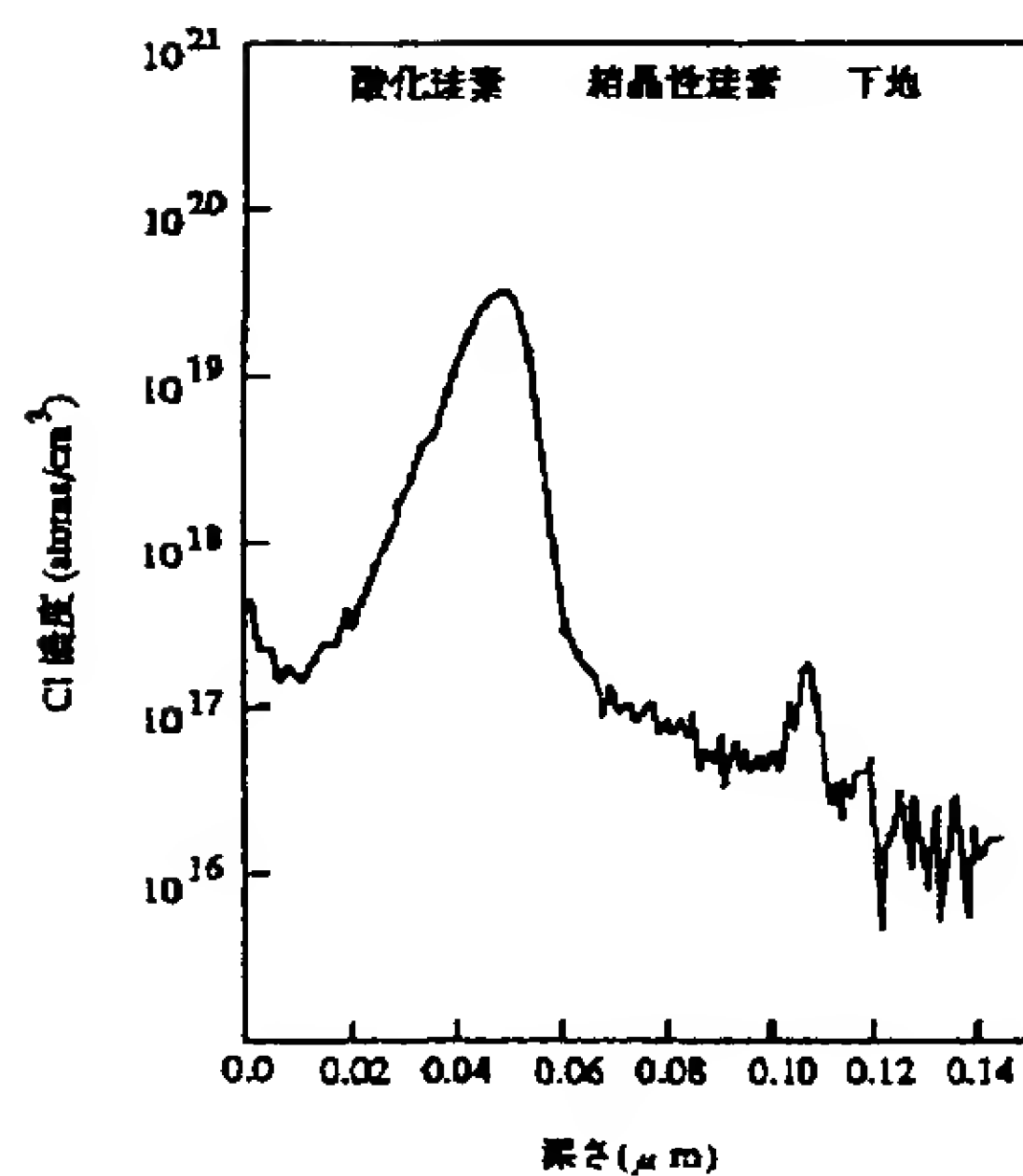
【図3】



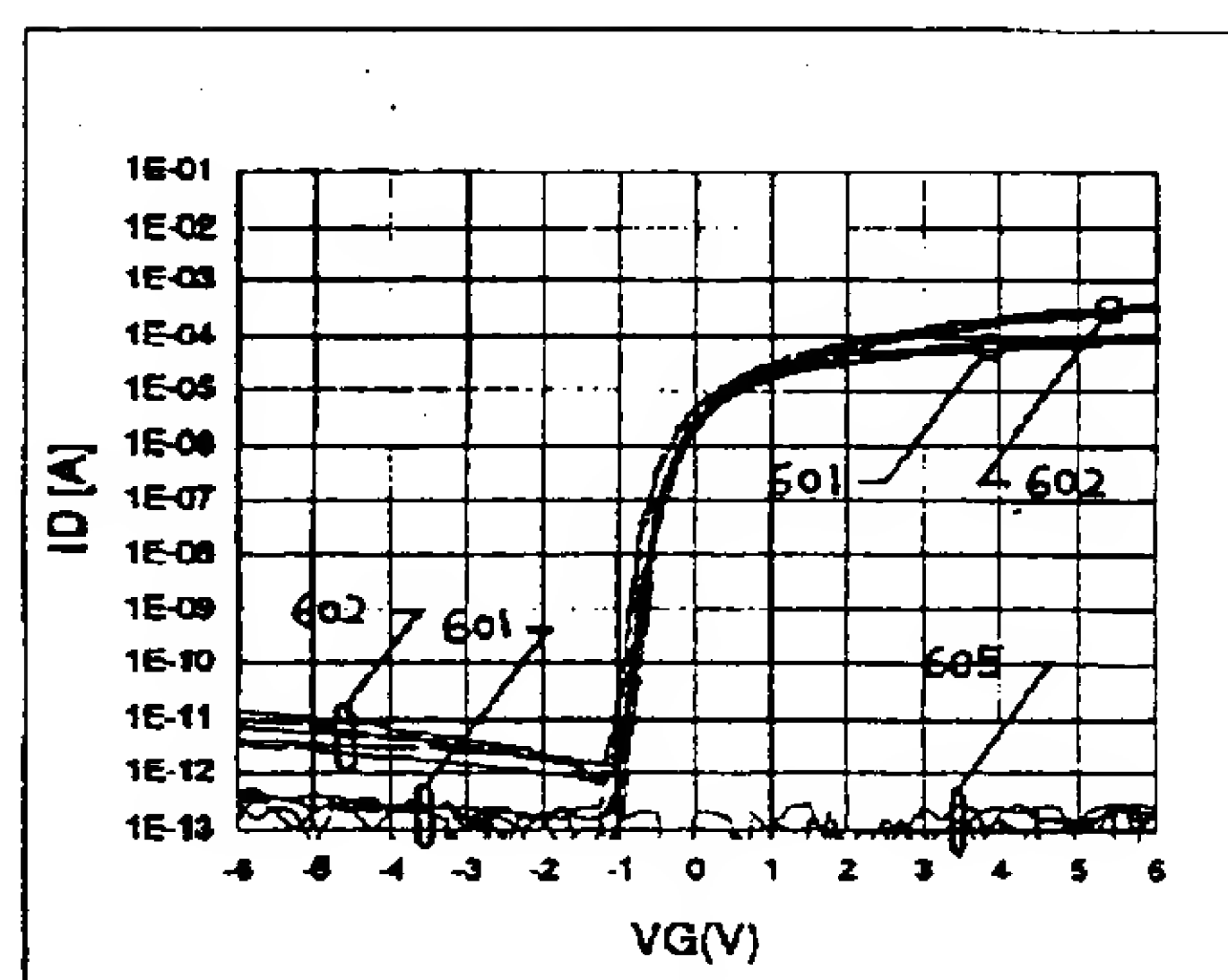
【図4】



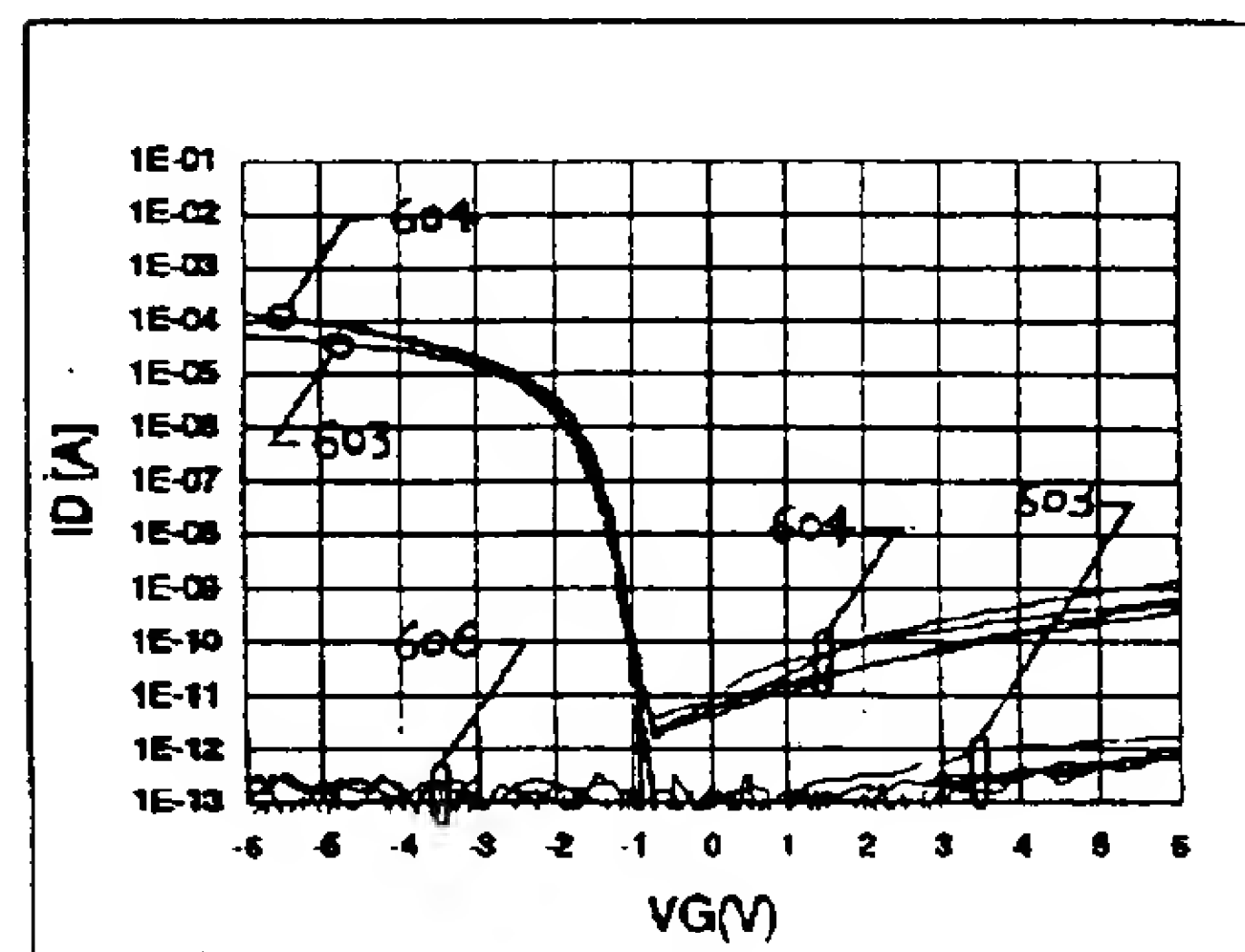
【図5】



【図6】

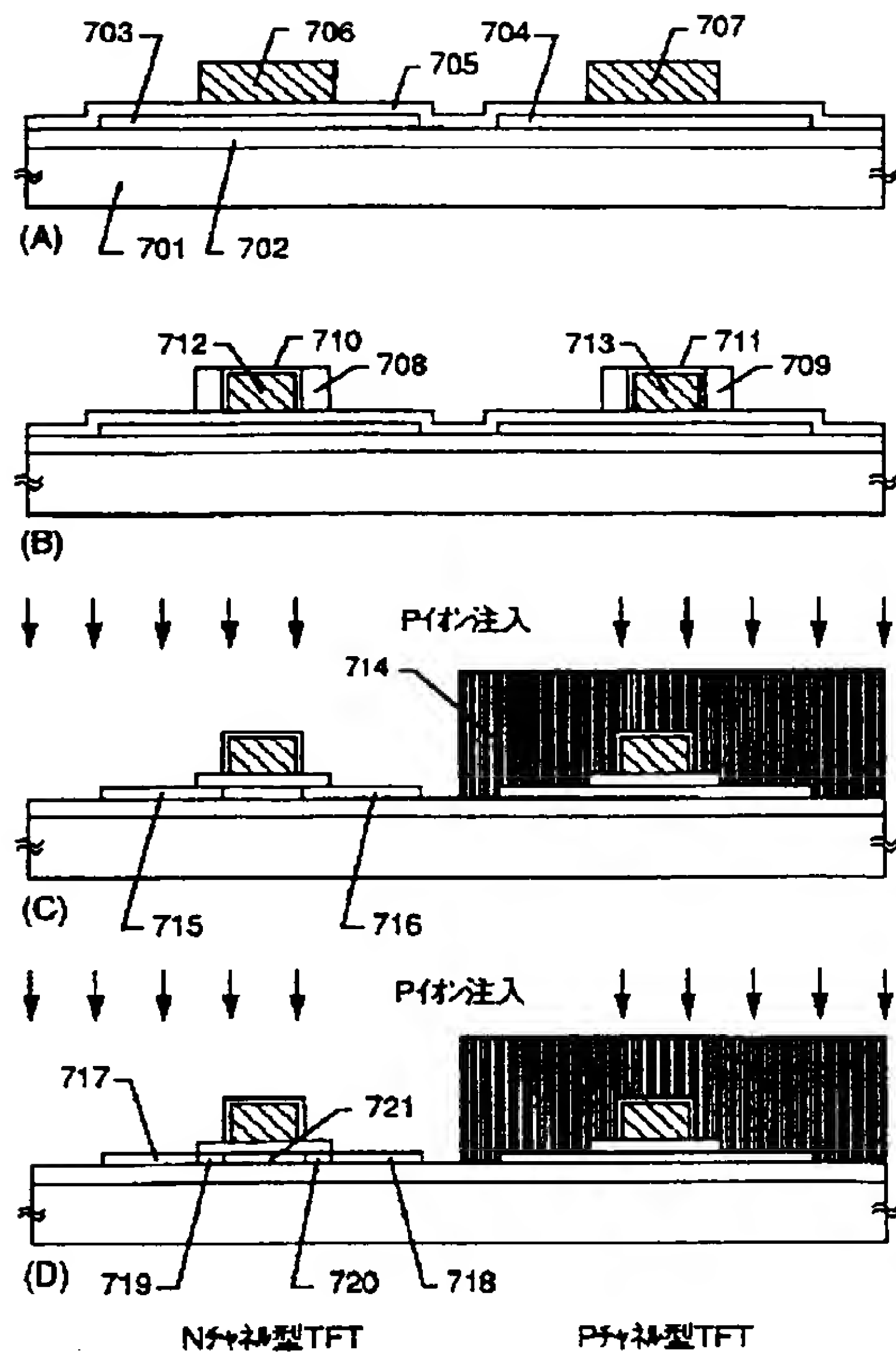


(A)

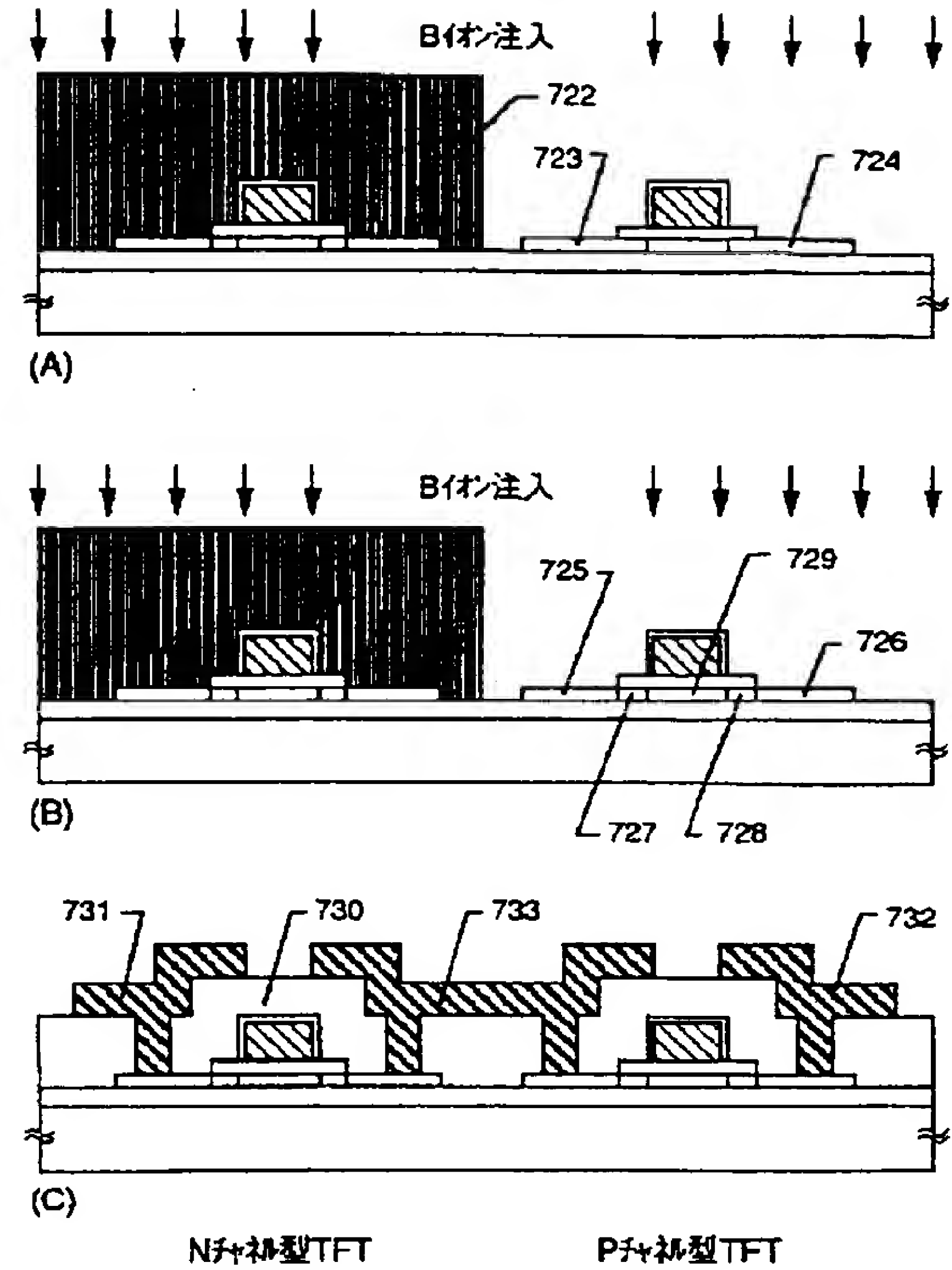


(B)

【図7】



【図8】



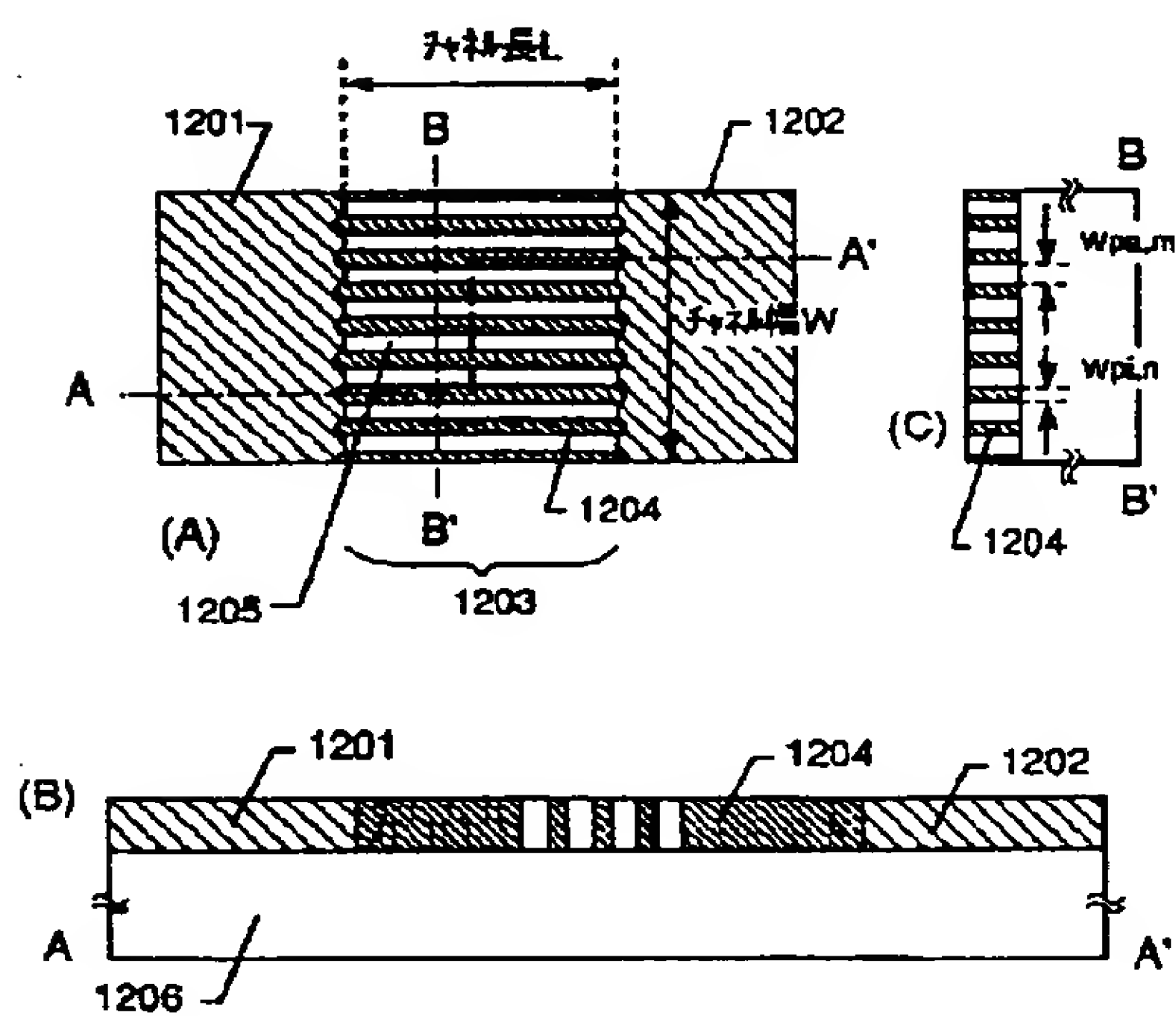
【図13】

図面代用写真



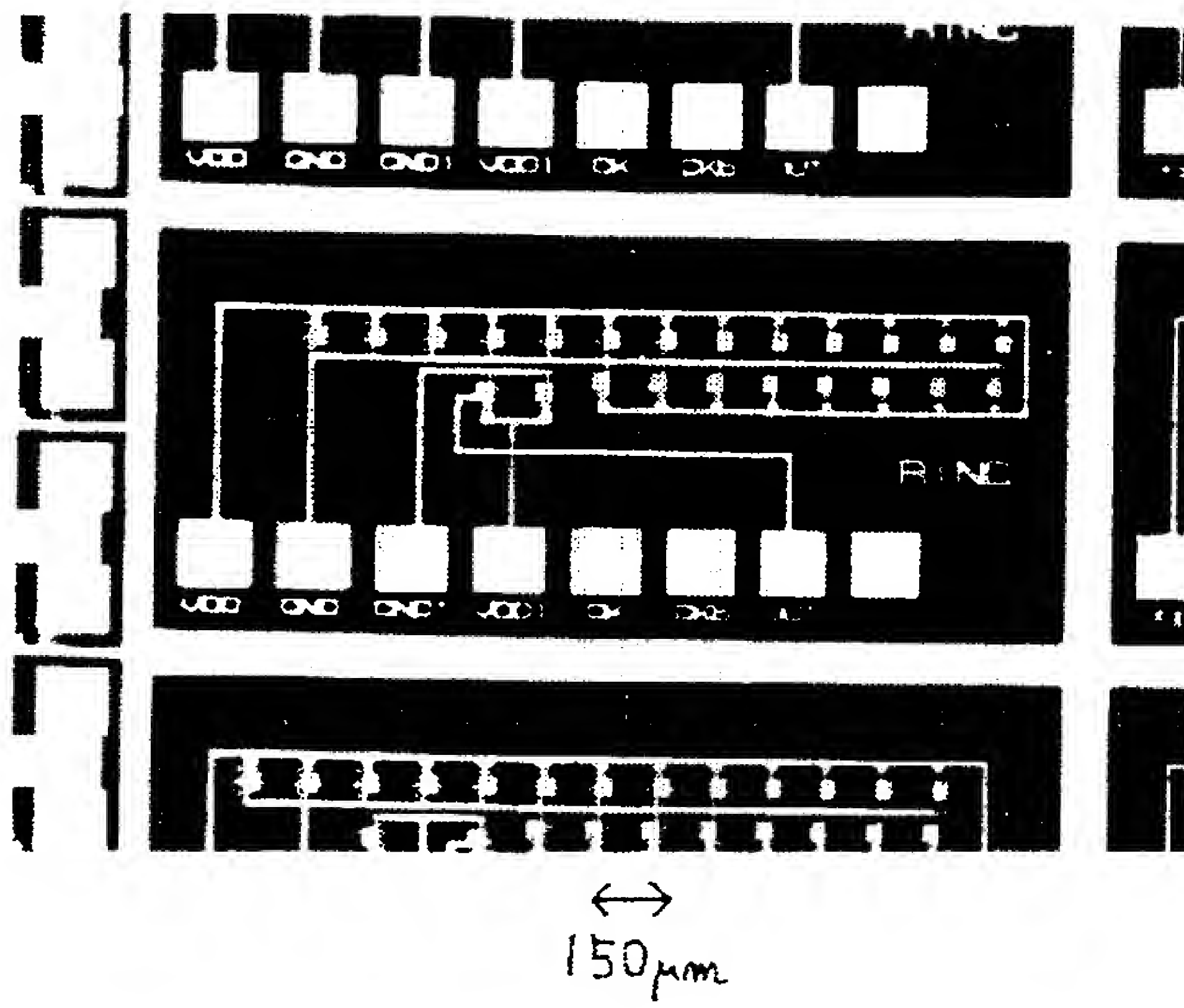
100 μm

【図12】

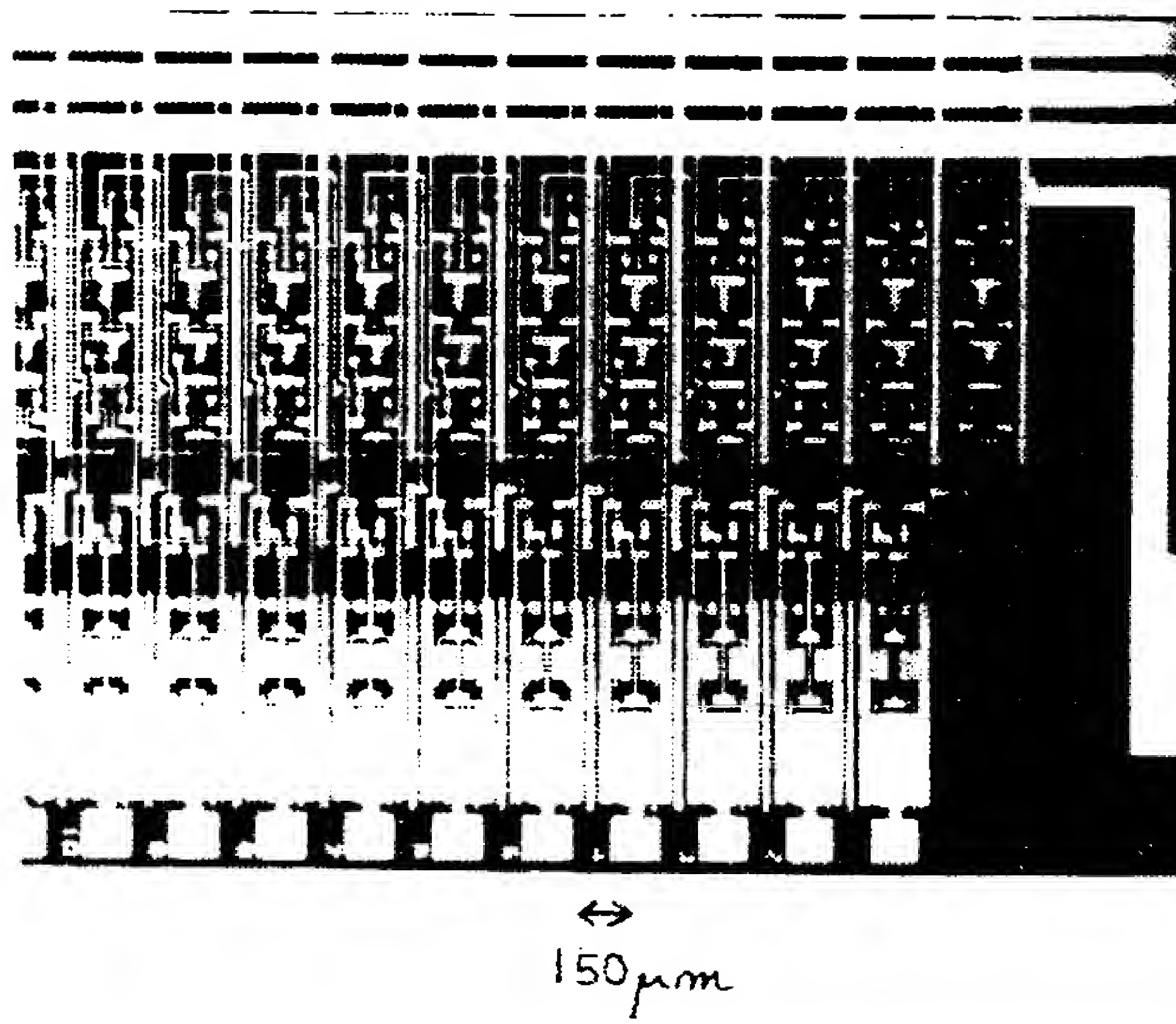


【図9】

図面代用写真



(A)

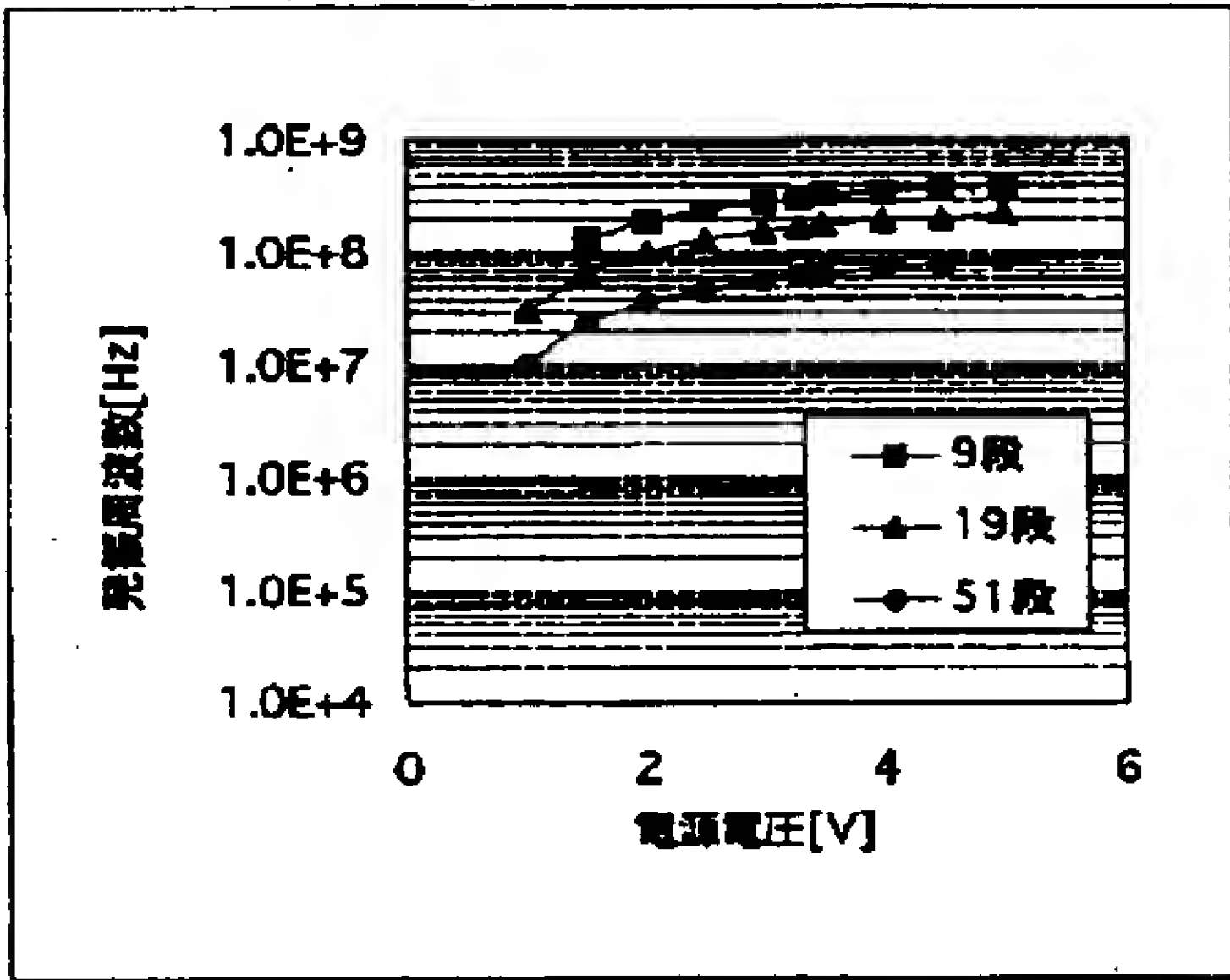


(B)

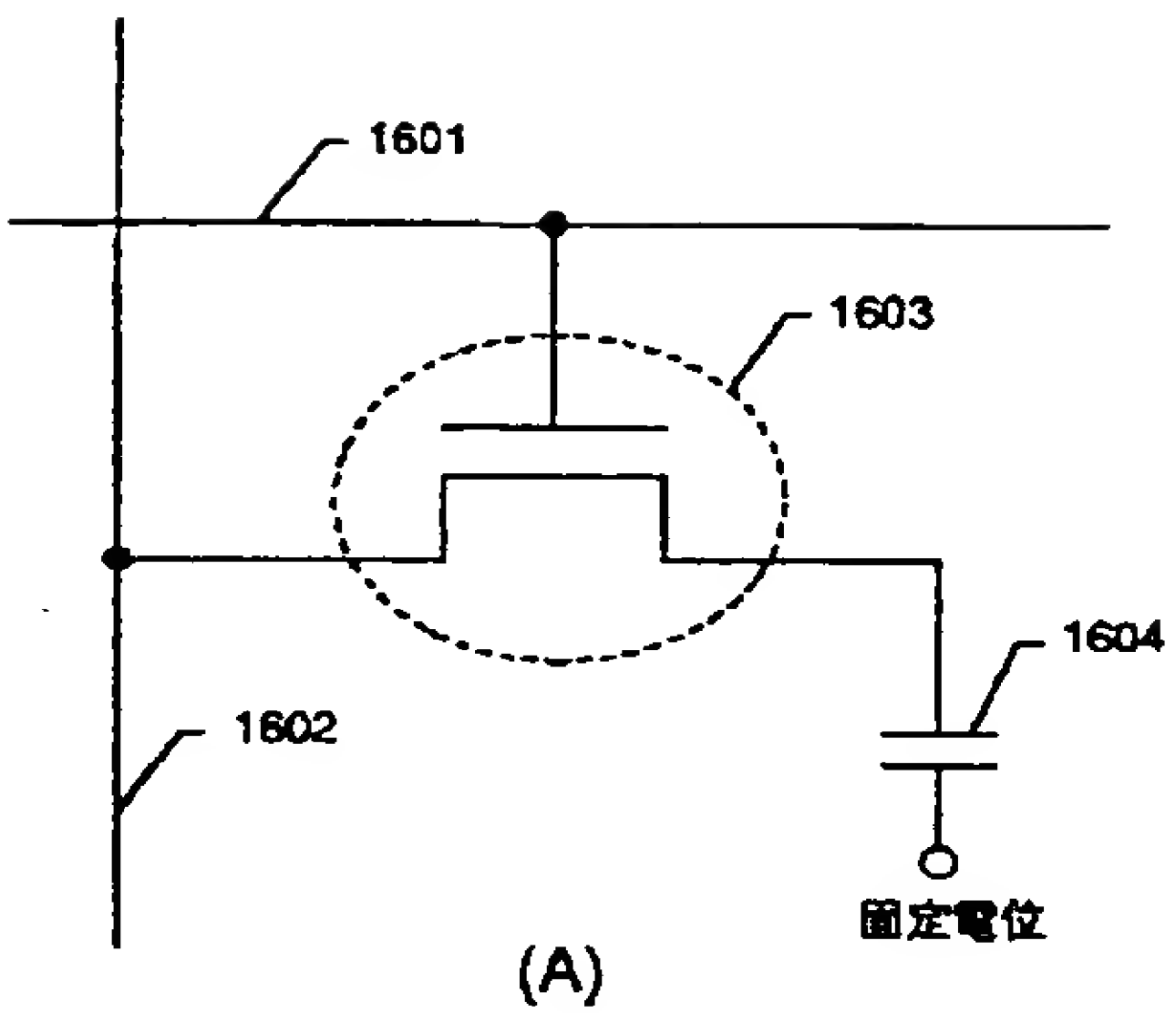
【図10】

リングオシレータ発振周波数[MHz]			
リングオシレータ段数			
電源電圧[V]	9段	19段	51段
1.0		30	10
1.5	133	68	24
2.0	195	101	37
2.5	245	131	48
3.0	286	156	58
3.3	307	168	63
3.5	328	176	66
4.0	351	198	73
4.5	377	206	79
5.0	402	226	85

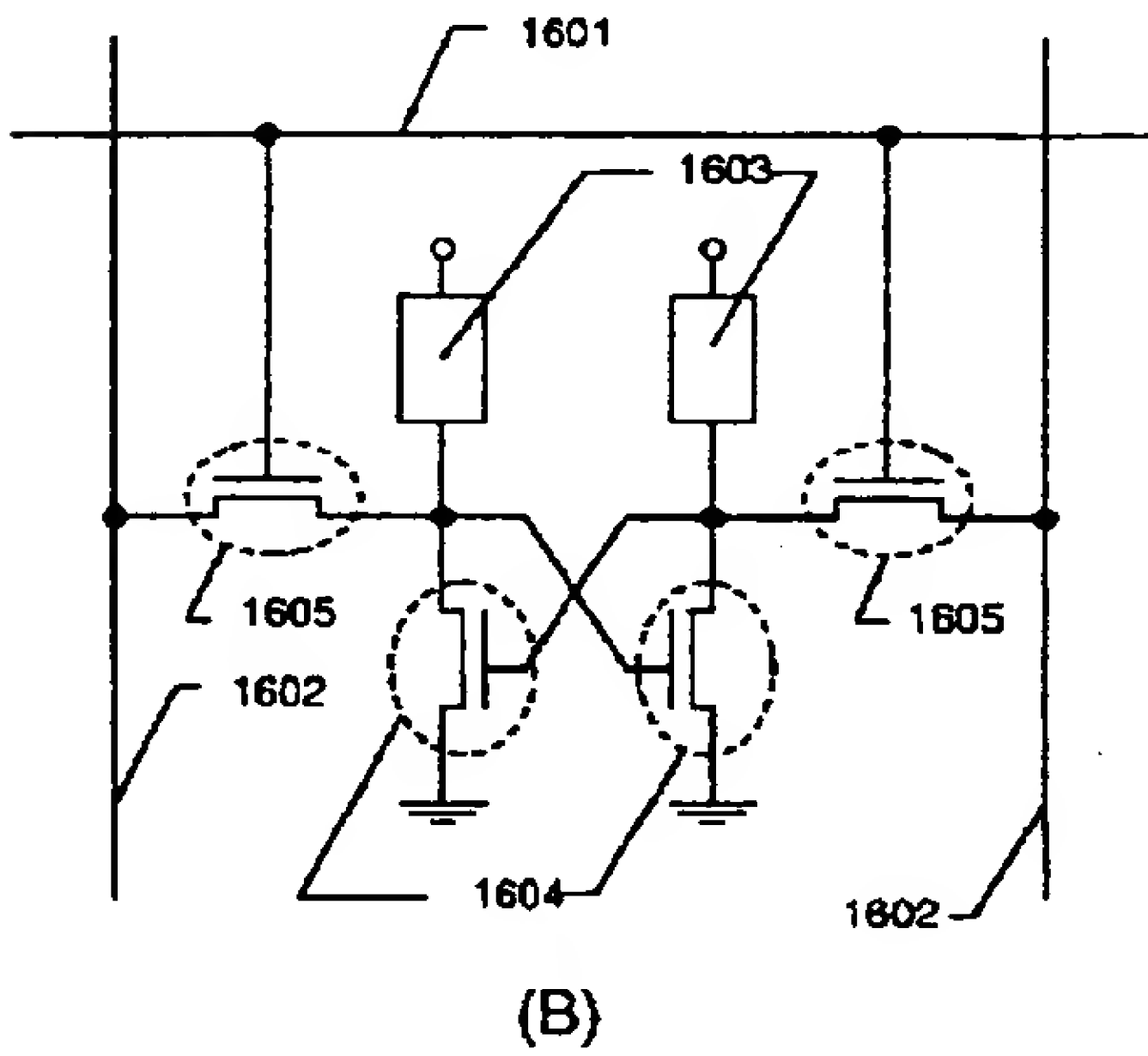
リングオシレータ電源電圧と発振周波数の関係



【図16】



(A)

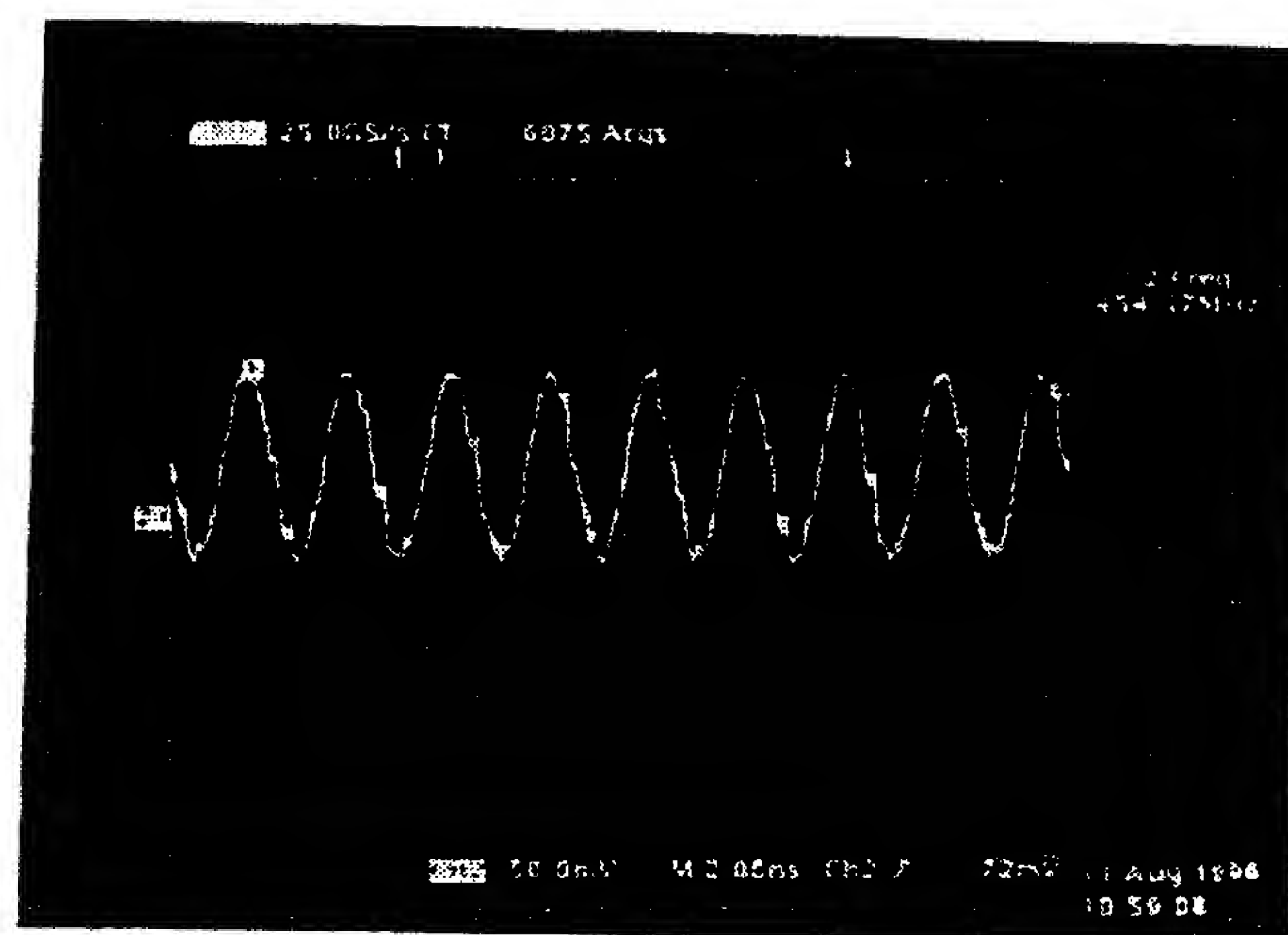


(B)

【図11】

図面代用写真

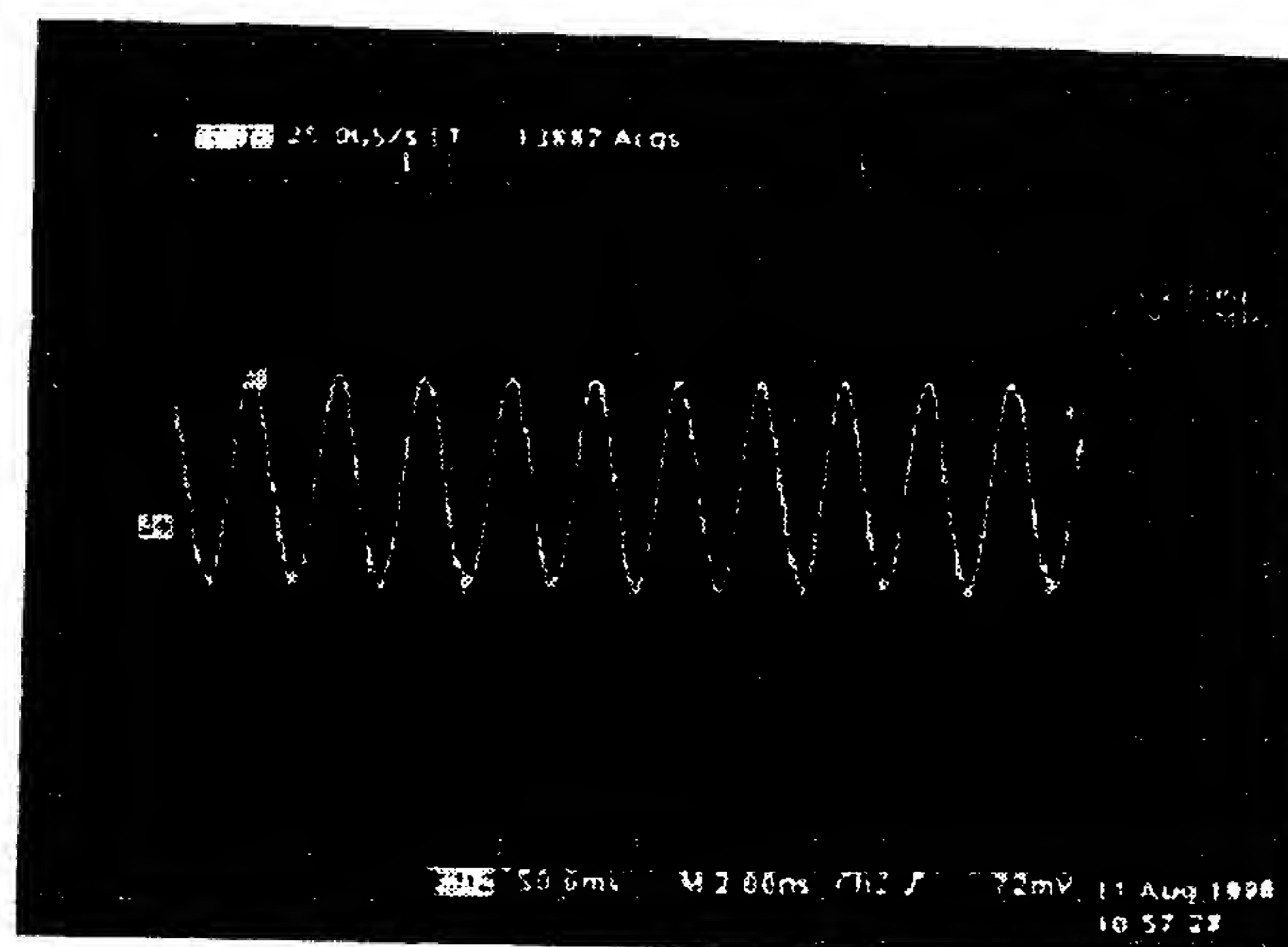
電源電圧 3.3V



(A)

発振周波数
454.37MHz

電源電圧 5.0V



(B)

発振周波数
539.51Mhz

【図 14】

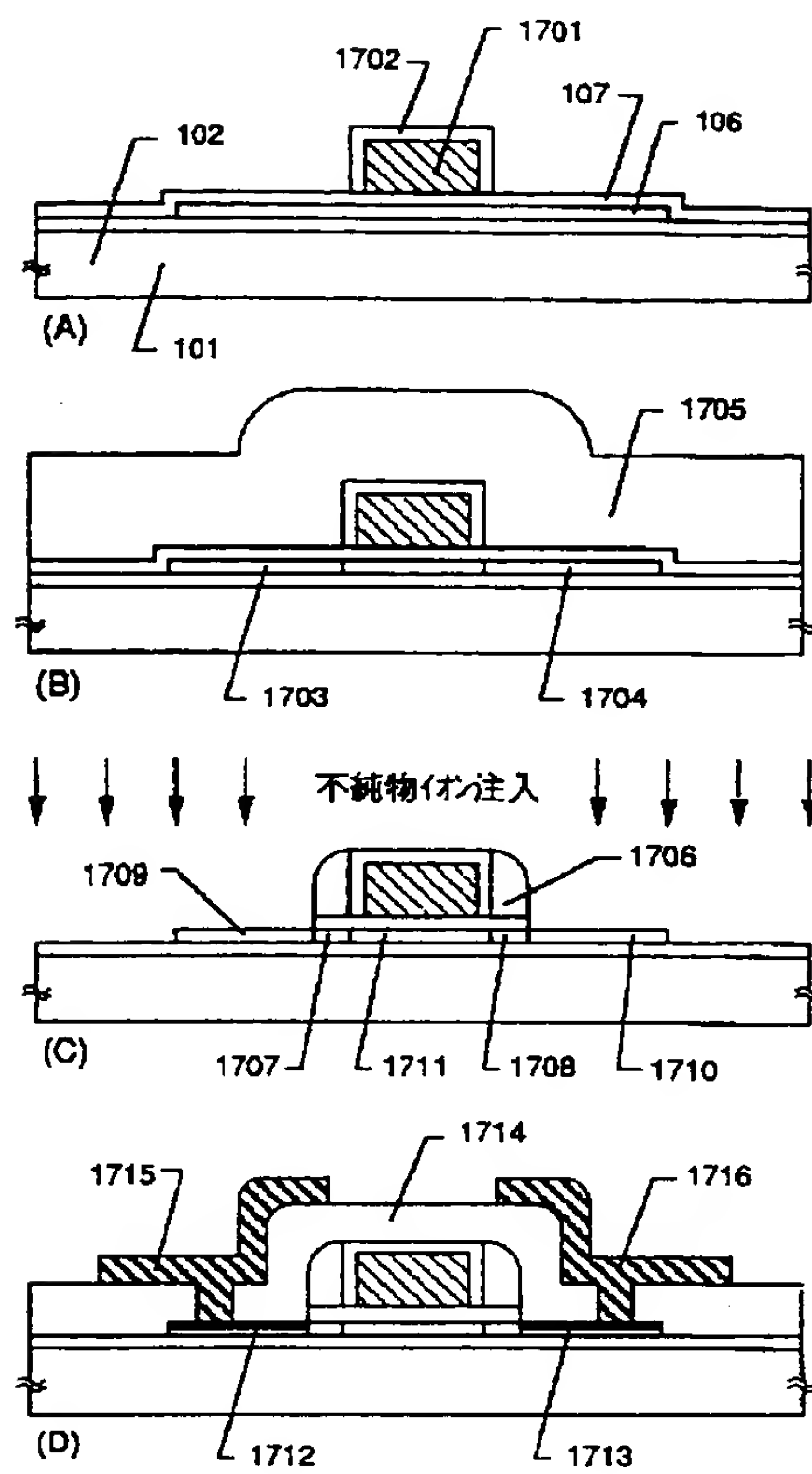
図面代用写真

1402



1401

【図 17】



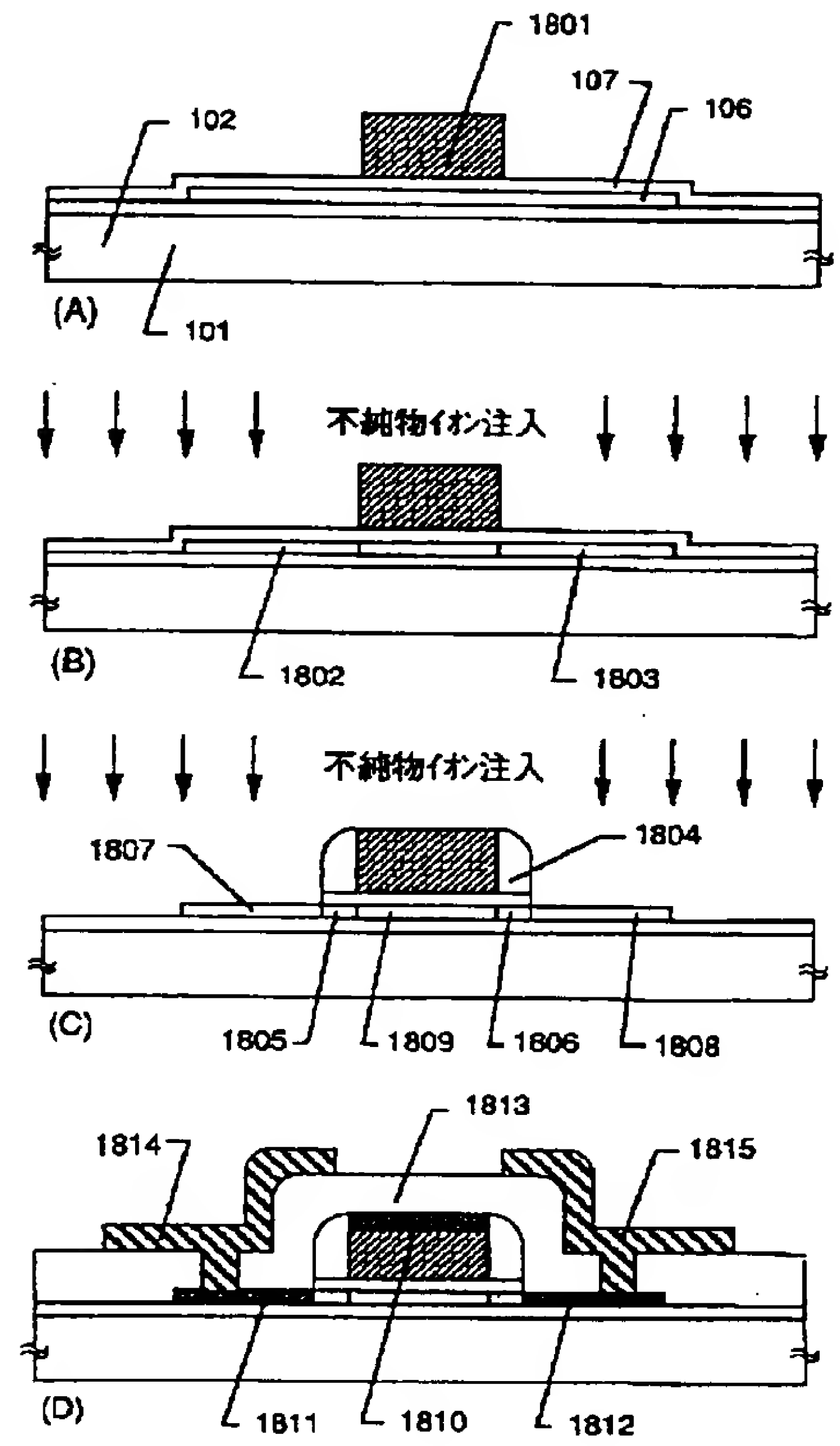
【図15】

図面代用写真



1501

【図18】



【図19】

